

1. Japanese Patent Application Laid-Open No. Hei 09-116416

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The 1st and 2nd P channel molds MOSFET with which the series connection of the drain source path was carried out mutually The 1st and 2nd N channel molds MOSFET with which the series connection of the drain source path was carried out mutually are provided. The source terminal of the P channel mold MOSFET of the above 1st is connected to the 1st action potential point. The source terminal of the N channel mold MOSFET of the above 1st is connected to the 2nd action potential point that potential is lower than the action potential point of the above 1st. The drain terminal of the P channel mold MOSFET of the above 2nd and the drain terminal of the N channel mold MOSFET of the above 2nd are connected to the 1st terminal. The gate terminal of the P channel mold MOSFET of the above 2nd and the gate terminal of the N channel mold MOSFET of the above 2nd are connected to the 3rd action potential point that potential is lower than the action potential point of the above 1st and that potential is higher than the action potential point of the above 2nd. The buffer circuit characterized by for the gate terminal of the P channel mold MOSFET of the above 1st answering the 1st signal, and the gate terminal of the N channel mold MOSFET of the above 1st answering the 2nd signal.

[Claim 2] It is the buffer circuit which the high level of the 1st signal of the above is potential with a low level higher than the action potential point of the above 2nd in accordance with the action potential point of the above 1st, and is characterized by for high level being potential lower than the action potential point of the above 1st, and the low level of the signal [2nd] of the above corresponding with the action potential point of the above 2nd in a buffer circuit according to claim 1.

[Claim 3] In a buffer circuit according to claim 1, 1st means to generate the 1st signal of the above The 3rd and 4th P channel molds MOSFET with which the series connection of the drain source path was carried out mutually The 5th and 6th P channel molds MOSFET with which the series connection of the drain source path was carried out

mutually The 3rd N channel mold MOSFET by which the drain terminal was connected to the drain terminal of the P channel mold MOSFET of the above 4th The 4th N channel mold MOSFET by which the drain terminal was connected to the drain terminal of the P channel mold MOSFET of the above 6th is provided. The drain terminal of the P channel mold MOSFET of the above 3rd and the gate terminal of the P channel mold MOSFET of the above 5th are connected. The drain terminal of the P channel mold MOSFET of the above 5th and the gate terminal of the P channel mold MOSFET of the above 3rd are connected. The above 3rd and the source terminal of the 5th P channel mold MOSFET are connected to the action potential point of the above 1st. The buffer circuit characterized by connecting the gate terminal of the above 4th and the 6th P channel mold MOSFET, the above 3rd, and the 4th N channel mold MOSFET to the action potential point of the above 3rd.

[Claim 4] The buffer circuit characterized by answering the 3rd signal and providing the 2nd means which makes alternatively the source terminal of the N channel mold MOSFET of the above 3rd, or the source terminal of the N channel mold MOSFET of the above 4th in agreement with the action potential point of the above 2nd in a buffer circuit according to claim 3.

[Claim 5] It is the buffer circuit which the 3rd signal of the above is potential the high level is not higher than the action potential point of the above 3rd in a buffer circuit according to claim 4, and is characterized by the low level being in agreement with the action potential point of the above 2nd.

[Claim 6] In a buffer circuit according to claim 4 the 2nd means of the above The 5th N channel mold MOSFET by which the action potential point of the above 2nd is connected with the source terminal of the N channel mold MOSFET of the above 3rd through the drain source path The 6th N channel mold MOSFET by which the action potential point of the above 2nd is connected with the source terminal of the N channel mold MOSFET of the above 4th through the drain source path is provided. It is the buffer circuit characterized by for the gate terminal of the N channel mold MOSFET of the above 5th answering the 3rd signal of the above, and the gate terminal of the N channel mold MOSFET of the above 6th answering the complementary signal of the 3rd signal of the above.

[Claim 7] In a buffer circuit according to claim 1, 3rd means to generate the 2nd signal of the above The 7th and 8th P channel molds MOSFET by which the source terminal was connected to the action potential point of the above 3rd The 7th and 8th N channel molds MOSFET by which the source terminal was connected to the action potential point of the above 2nd are provided. The drain terminal of the N channel mold MOSFET of the above 7th is connected to the drain terminal of the P channel mold MOSFET of the above 7th, and

the gate terminal of the P channel mold MOSFET of the above 8th. The drain terminal of the N channel mold MOSFET of the above 8th is connected to the drain terminal of the P channel mold MOSFET of the above 8th, and the gate terminal of the P channel mold MOSFET of the above 7th. It is the buffer circuit characterized by for the gate terminal of the N channel mold MOSFET of the above 7th answering the 4th signal, and the gate terminal of the N channel mold MOSFET of the above 8th answering the complementary signal of the 4th signal of the above.

[Claim 8] It is the buffer circuit which the 4th signal of the above is potential the high level is not higher than the action potential point of the above 3rd in a buffer circuit according to claim 7, and is characterized by the low level being in agreement with the action potential point of the above 2nd.

[Claim 9] The buffer circuit characterized by providing the 9th N channel mold MOSFET by which the gate terminal was connected to the action potential point of the above 3rd, and the drain source path was connected to the 1st terminal of the above in the buffer circuit according to claim 1.

[Claim 10] In a buffer circuit according to claim 3, 1st means of the above to generate the 1st signal of the above The 10th and 11th N channel molds MOSFET by which the source terminal was connected to the action potential point of the above 3rd are provided. The drain terminal of the P channel mold MOSFET of the above 3rd is connected to the drain terminal of the N channel mold MOSFET of the above 10th, and the gate terminal of the N channel mold MOSFET of the above 11th. The drain terminal of the P channel mold MOSFET of the above 5th is a buffer circuit characterized by connecting with the drain terminal of the N channel mold MOSFET of the above 11th, and the gate terminal of the N channel mold MOSFET of the above 10th.

[Claim 11] The buffer circuit characterized by changing the signal of potential lower than the middle potential of the action potential point of the above 1st, and the action potential point of the above 2nd into the action potential point of the above 1st, and the signal of this potential in a buffer circuit according to claim 1.

[Claim 12] The semiconductor integrated circuit characterized by carrying the buffer circuit indicated by claim 1 in the same chip.

[Claim 13] It is the information processor with which at least one piece has the semiconductor integrated circuit indicated by claim 12 on a package board.

[Claim 14] In the buffer circuit where the 3rd potential between the 1st potential, the 2nd potential, and the 1st potential of the above and the 2nd potential of the above was connected The 1st circuit which changes the input signal on the basis of the 2nd potential of the above into the signal which changes between the 1st potential of the above, and the 3rd

potential of the above, The 2nd circuit which changes the above-mentioned input signal into the signal which changes between the 2nd potential of the above, and the 3rd potential of the above, The 1st transistor of the 1st conductivity type which inputs the output signal of the 1st circuit of the above into the gate and by which the source was connected to the 1st potential of the above, The 2nd transistor of the 1st conductivity type of the above which inputs the 3rd potential of the above into the gate and by which the source was connected to the drain of the 1st transistor of the above, The output terminal connected to the drain of the 2nd transistor of the above, and the 3rd transistor of the 2nd conductivity type which inputs the 3rd potential of the above into the gate and by which the drain was connected to the above-mentioned output terminal, The buffer circuit characterized by providing the 4th transistor of the 2nd conductivity type of the above by which the output signal of the 2nd circuit of the above was inputted into the gate, the drain was connected to the source of the 3rd transistor of the above, and the source was connected to the 2nd potential of the above.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the input output buffer which makes possible the interface between two or more semiconductor integrated circuits which operate with the supply voltage which is different from each other about a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] With the newest microprocessor chip, in order to control increase of the power consumption accompanying improvement in the speed and high integration, the motion which low-battery-izes operating voltage inside a chip rather than a standard electrical potential difference (for example, 3.3V) is actualizing (for example, the 78-page Nikkei micro device January, 1995 issue). Thus, in order for the chip which operates by the low battery to carry out an interface to other chips on the board which operates by 3.3V (circumference logic, memory, etc.), it is necessary to carry supply voltage level higher than one's operating voltage and the input output buffer which can carry out an interface. The conventional example of such an input output buffer is shown in drawing 4 and drawing 5.

[0003] The conventional example of drawing 4 is reported by the open patent official report (JP.4-329024.A). VCCCH is equivalent to standard supply voltage (for example, 3.3V). VCCL is the operating voltage inside [in which this input output buffer is carried] a chip, and is lower than VCCCH (for example, 2.5V). The signal amplitude of each of output signals (DOUT) from the interior of a chip, output activation signals (OEN), and input signals (DIN) inside a chip is VCCCL. When a buffer circuit outputs an output signal (DOUT) to an input/output terminal (PAD), it is outputted while signal amplitude has been VCCCL. On the

other hand, when the signal of VCCCH level is inputted into an input/output terminal (PAD) from the exterior, it is changed into the signal (DIN) of VCCL level through the N channel mold MOSFET (MN104) and two steps of CMOS inverters (MP103, MN105, INV100), and is sent to the interior of a chip. When the signal of high level (VCCCH) is impressed to an input/output terminal (PAD) from the exterior, electric power is supplied not to VCCL but to VCCCH by N well of the P channel mold MOSFET (MP101) for preventing that forward bias of the PN junction which consists of the drain (PAD) and N well of MP101 is carried out.

[0004] The conventional example of drawing 5 is reported by IEEE Journal of Solid-State Circuits, vol.29, pp.1415-1428, and Dec.1994. In this buffer circuit, the output signal (DOUT) of VCCL level is changed and outputted to the signal of VCCCH level by the input/output terminal (PAD). Raising to this VCCCH level is performed by the latch (MP201, and MP202, MP203 and MP204) who consists of P channel molds MOSFET. On the other hand, when the signal of VCCCH level is inputted into an input/output terminal (PAD) from the exterior, it is changed into the signal (DIN) of VCCL level by the approach similar to the conventional example of drawing 4, and is sent to the interior of a chip.

[0005] Although there is JP.4-211515.A as other conventional examples, it omits for details.

[0006]

[Problem(s) to be Solved by the Invention] With the chip which operates an internal circuitry on an electrical potential difference lower than the standard supply voltage level which carries out an interface, there is a problem that it is difficult to operate an internal circuitry at low power and a high speed. This originates in that there is following (1) or a problem of (2) in the above-mentioned input output buffer used from the former.

[0007] (1) Regardless of the supply voltage level which carries out an interface, operating voltage inside a chip can be lowered low (that is, an internal circuitry is low-electrified).

[0008] (2) Since the same high electrical potential difference as the level of an interface is impressed to the component in an input output buffer, in spite of having low-battery-ized operating voltage of an internal circuitry, detailed-ization (namely, improvement in the speed of internal-circuitry actuation) of a component permissible from the point of dependability becomes settled on the supply voltage level which carries out an interface, and that of detailed-ization beyond it (improvement in the speed) is impossible.

[0009] The above-mentioned problem (1) which the conventional input output buffer has, and (2) are explained in detail below, respectively.

[0010] There is a problem of the above (1) in the input output buffer shown in drawing 4 as a conventional example. That is, regardless of the supply voltage level (VCCCH)

which carries out an interface, operating voltage (VCCL) inside the chip cannot be lowered low. It is because it will not be correctly recognized as the high-level signal outputted from this chip being high-level for other chips which operate with standard supply voltage (VCCCH) if VCCL is lowered very low. This is explained using drawing 6. The high level of the signal outputted to the exterior from the input output buffer (drawing 6 has shown only the final output stage) of drawing 4 is VCCL. On the other hand, generally the chip which operates with standard supply voltage (VCCCH) is considered to identify the high level and low level of an input signal by making the value before and behind VCCCH/2 into a logic threshold. Therefore, in the case of a low electrical potential difference with which VCCL does not fill one half of VCCCH(s), the signal of the high level (VCCCH) outputted outside by this buffer will be accidentally recognized as a low level from the chip which operates by VCCL (in for example, the case of VCCCH=3.3V and VCCL=1V). Since operating voltage inside that chip cannot be low lowered in this way regardless of the supply voltage level which carries out an interface when this input output buffer is used, it is difficult to low-electrify an internal circuitry sharply.

[0011] There is a problem of the above (2) in the input output buffer shown in drawing 5 as a conventional example. That is, the same high electrical potential difference (VCCCH) as the level of an interface is impressed to the component in this input output buffer. For example, since an input/output terminal (PAD) serves as VCCCH and a node (N210) is served as to 0V (GND level) at the time of the high-level output of a buffer, the electrical potential difference of VCCCH is impressed between the drain sources of the N channel mold MOSFET (MN205), and between the gate sources. It will be understood easily that VCCCH may be impressed to the component (each component which constitutes MN 201-204, MP's 201-205, and INV 204-208) which similarly is contained in the partial circuit to which electric power is supplied from supply voltage VCCCH. In this way, with the chip which carries this input output buffer, in spite of having low-battery-ized operating voltage of an internal circuitry to VCCL, detailed-ization (namely, improvement in the speed of internal-circuitry actuation) of a component permissible from the point of dependability becomes settled on the supply voltage level (VCCCH) which carries out an interface, and that of detailed-ization beyond it (improvement in the speed) is impossible. Of course, although it is also theoretically possible to form the component (for example, two kinds of MOSFETs with the gate oxide which is different from each other) which is two kinds from which permission applied voltage differs on the same chip, and to use these properly by the input output buffer and the internal circuitry, since the process of component formation becomes very complicated, it is not realistic.

[0012] the chip which operates an internal circuitry on an electrical potential

difference lower than the supply voltage level which carries out the interface of the purpose of this invention – it is in being and offering the input output buffer which enables low power and high-speed actuation of an internal circuitry.

[0013]

[Means for Solving the Problem] The 1st and 2nd P channel molds MOSFET with which the series connection of the drain source path was mutually carried out according to 1 operation gestalt of this invention in order to attain the above-mentioned purpose (MP7 and MP8) The 1st and 2nd N channel molds MOSFET (MN9 and MN10) with which the series connection of the drain source path was carried out mutually are provided. The source terminal of the P channel mold MOSFET of the above 1st (MP7) is connected to the 1st action potential point (VCCH). The source terminal of the N channel mold MOSFET of the above 1st (MN9) is connected to the 2nd action potential point (GND) that potential is lower than the action potential point (VCCH) of the above 1st. The drain terminal of the P channel mold MOSFET of the above 2nd (MP8) and the drain terminal of the N channel mold MOSFET of the above 2nd (MN10) are connected to the 1st terminal (PAD). The action potential point of the above 1st The gate terminal of the P channel mold MOSFET of the above 2nd (MP8) and the gate terminal of the N channel mold MOSFET of the above 2nd (MN10) are connected to the 3rd action potential point (VCCM) that potential is low and that potential is higher than the action potential point (GND) of the above 2nd, from (VCCH). It is characterized by for the gate terminal of the P channel mold MOSFET of the above 1st (MP7) answering the 1st signal (N9), and the gate terminal of the N channel mold MOSFET of the above 1st (MN9) answering the 2nd signal (N15) (refer to drawing 1).

[0014] Furthermore, according to the suitable example of this invention, the high level of the 1st signal (N9) of the above is potential (VCCM) with a low level higher than the action potential point (GND) of the above 2nd in accordance with the action potential point (VCCH) of the above 1st. It is characterized by for high level being potential (VCCM) lower than the action potential point (VCCH) of the above 1st, and the low level of the signal [2nd] (N15) of the above corresponding with the action potential point (GND) of the above 2nd (refer to drawing 1).

[0015] According to the suitable operation gestalt of this invention, furthermore, 1st means to generate the 1st signal (N9) of the above The 3rd and 4th P channel molds MOSFET with which the series connection of the drain source path was carried out mutually (MP1 and MP3) The 5th and 6th P channel molds MOSFET with which the series connection of the drain source path was carried out mutually (MP2 and MP4) The 3rd N channel mold MOSFET by which the drain terminal was connected to the drain terminal of the P channel mold MOSFET of the above 4th (MP3) (MN2) The 4th N channel mold MOSFET (MN4) by

which the drain terminal was connected to the drain terminal of the P channel mold MOSFET of the above 6th (MP4) is provided. The drain terminal of the P channel mold MOSFET of the above 3rd (MP1) and the gate terminal of the P channel mold MOSFET of the above 5th (MP2) are connected. The drain terminal of the P channel mold MOSFET of the above 5th (MP2) and the gate terminal of the P channel mold MOSFET of the above 3rd (MP1) are connected. The above 3rd and the source terminal of the 5th P channel mold MOSFET (MP1 and MP2) are connected to the action potential point (VCCH) of the above 1st. It is what is characterized by connecting the gate terminal of the gate terminal of the above 4th and the 6th P channel mold MOSFET (MP3 and MP4), the above 3rd, and the 4th N channel mold MOSFET (MN2 and MN4) to the action potential point (VCCM) of the above 3rd. It is (refer to drawing 1).

[0016] Furthermore, according to the suitable operation gestalt of this invention, the 3rd signal (N1) is answered. It is what is characterized by providing the 2nd means which makes alternatively the source terminal (N3) of the N channel mold MOSFET of the above 3rd (MN2), or the source terminal (N4) of the N channel mold MOSFET of the above 4th (MN4) in agreement with the action potential point (GND) of the above 2nd. It is (refer to drawing 1).

[0017] Furthermore, according to the suitable example of this invention, it is characterized by for the high level being the potential (VCCM) which is not higher than the action potential point (VCCM) of the above 3rd, and the low level of the signal [3rd] (N1) of the above corresponding with the action potential point (GND) of the above 2nd (refer to drawing 1).

[0018] According to the suitable operation gestalt of this invention, furthermore, the 2nd means of the above The 5th N channel mold MOSFET by which the action potential point (GND) of the above 2nd is connected with the source terminal (N3) of the N channel mold MOSFET of the above 3rd (MN2) through the drain source path (MN1) The 6th N channel mold MOSFET (MN3) by which the action potential point (GND) of the above 2nd is connected with the source terminal (N4) of the N channel mold MOSFET of the above 4th (MN4) through the drain source path is provided. It is characterized by for the gate terminal of the N channel mold MOSFET of the above 5th (MN1) answering the 3rd signal (N1) of the above, and the gate terminal of the N channel mold MOSFET of the above 6th (MN3) answering the complementary signal (N2) of the 3rd signal (N1) of the above (refer to drawing 1).

[0019] According to the suitable operation gestalt of this invention, furthermore, 3rd means to generate the 2nd signal (N15) of the above The 7th and 8th P channel molds MOSFET by which the source terminal was connected to the action potential point (VCCM)

of the above 3rd (MP5 and MP6) The 7th and 8th N channel molds MOSFET (MN7 and MN8) by which the source terminal was connected to the action potential point (GND) of the above 2nd are provided. The drain terminal of the N channel mold MOSFET of the above 7th (MN7) is connected to the drain terminal of the P channel mold MOSFET of the above 7th (MP5), and the gate terminal of the P channel mold MOSFET of the above 8th (MP6). The drain terminal of the N channel mold MOSFET of the above 8th (MN8) is connected to the drain terminal of the P channel mold MOSFET of the above 8th (MP6), and the gate terminal of the P channel mold MOSFET of the above 7th (MP5). It is characterized by for the gate terminal of the N channel mold MOSFET of the above 7th (MN7) answering the 4th signal (N11), and the gate terminal of the N channel mold MOSFET of the above 8th (MN8) answering the complementary signal (N12) of the 4th signal (N11) of the above (refer to drawing 1).

[0020] Furthermore, according to the suitable example of this invention, it is characterized by for the high level being the potential (VCCL) which is not higher than the action potential point (VCCM) of the above 3rd, and the low level of the signal [4th] (N11) of the above corresponding with the action potential point (GND) of the above 2nd (R> drawing 1 1 reference).

[0021] Furthermore, according to the suitable operation gestalt of this invention, it is characterized by providing the 9th N channel mold MOSFET (MN11) by which the gate terminal was connected to the action potential point (VCCM) of the above 3rd, and the drain source path was connected to the 1st terminal (PAD) of the above (refer to drawing 1).

[0022] According to the suitable example of this invention, furthermore, 1st means of the above to generate the 1st signal (N9) of the above The 10th and 11th N channel molds MOSFET (MN5 and MN6) by which the source terminal was connected to the action potential point (VCCM) of the above 3rd are provided. The drain terminal of the P channel mold MOSFET of the above 3rd (MP1) is connected to the drain terminal of the N channel mold MOSFET of the above 10th (MN5), and the gate terminal of the N channel mold MOSFET of the above 11th (MN6). It is characterized by connecting the drain terminal of the P channel mold MOSFET of the above 5th (MP2) to the drain terminal of the N channel mold MOSFET of the above 11th (MN6), and the gate terminal of the N channel mold MOSFET of the above 10th (MN5) (refer to drawing 1).

[0023] With the typical operation gestalt (drawing 1) of this invention, three power sources (VCCL, VCCM, and VCCH) higher than touch-down potential (GND) are supplied. The potential of VCCM is higher than VCCL and the potential of VCCH is higher than VCCM. VCCL is equivalent to the operating voltage inside a chip. Moreover, VCCH is equivalent to the supply voltage level in which this buffer circuit carries out an interface. High level

corresponds with VCCL and the low level of input signals [output signals (DOUT) from the interior of a chip, output activation signals (OEN), and / each of] (DIN) inside a chip corresponds with 0V (GND level).

[0024] The partial logical circuit which consists of a NAND gate (NA1, NA2) and an inverter (INV1, INV2, INV3) generates a signal (N1, N2, N11, N12) based on an output signal (DOUT) and an output activation signal (OEN). N1, and N2, N11 and N12 have the relation of the complementation mutually, respectively. When an output activation signal (OEN) is high level (VCCL), an output signal (DOUT) and the logical value of a signal (N2, N11) correspond. Moreover, when an output activation signal (OEN) is a low level (0V), it is not based on the logical value of an output signal (DOUT), but a signal (N2) serves as a low level (0V), and a signal (N11) always serves as high level (VCCL).

[0025] When an output activation signal (OEN) is high level (VCCL), a buffer circuit outputs an output signal (DOUT) to an input/output terminal (PAD) (refer to drawing 2). The case where an output signal (DOUT) changes from a low level (0V) to high level (VCCL) is taken for an example, and this actuation is explained below.

[0026] Since a signal (N1) changes from high level (VCCL) to a low level (0V) and a signal (N2) changes from a low level (0V) to high level (VCCL), in the N channel mold MOSFET (MN1), the N channel mold MOSFET (MN3) changes to ON off. The node (N8) it was high level (VCCH) before [whose] transition is driven with the N channel mold MOSFET (MN3) through the P channel mold MOSFET (MP4) and the N channel mold MOSFET (MN4), and potential is reduced until it reaches the potential of the threshold of the P channel mold MOSFET (MP4) high by magnitude rather than VCCM. Thereby, the P channel mold MOSFET (MP1) serves as ON, and the node (N7) which was a low level (VCCM) is pulled up to high level (VCCH) before transition. Thereby, the N channel mold MOSFET (MN6) changes to ON, and makes the potential of a node (N8) in agreement with VCCM. In this way, the level conversion of the signal (N1 and N2) which makes VCCL high level and makes 0V a low level is carried out to the signal (N7 and N8) with which VCCH is made into high level and it makes VCCM a low level.

[0027] A signal (N8) is told to a node (N9) as a signal of the same level through two more steps of inverters (INV4, INV5). Since a node (N9) changes from high level (VCCH) to a low level (VCCM), it makes the P channel mold MOSFET (MP7) change to ON. On the other hand, since a signal (N12) changes from high level (VCCL) to a low level (0V) and a signal (N11) changes from a low level (0V) to high level (VCCL), in the N channel mold MOSFET (MN8), the N channel mold MOSFET (MN7) changes to ON off. The node (N13) it was high level (VCCM) before [whose] transition is driven with the N channel mold MOSFET (MN7), and is reduced by the low level (0V). Thereby, the P channel mold

MOSFET (MP6) serves as ON, and the node (N14) which was a low level (0V) is pulled up to VCCM before transition. In this way, the level conversion of the signal (N11 and N12) which makes VCCL high level and makes 0V a low level is carried out to the signal (N13 and N14) with which VCCM is made into high level and it makes 0V a low level.

[0028] A signal (N13) is told to a node (N15) as a signal of the same level through two more steps of inverters (INV7 and INV8). Since a node (N15) changes from high level (VCCM) to a low level (0V), it makes the N channel mold MOSFET (MN9) change off. Since ON and the N channel mold MOSFET (MN9) become off [the P channel mold MOSFET (MP7)] as mentioned above, the P channel mold MOSFET (MP7) drives an input/output terminal (PAD) through the P channel mold MOSFET (MP8), and pulls up it from a low level (0V) to high level (VCCH).

[0029] Similarly an output activation signal (OEN) is high level (VCCL), when an output signal (DOUT) changes from high level (VCCL) to a low level (0V), transition respectively contrary to **** arises in each node, and an input/output terminal (PAD) changes from high level (VCCH) to a low level (0V) (refer to drawing 2).

[0030] When an output activation signal (OEN) is a low level (0V), it is not based on the logical value of an output signal (DOUT), but a node (N9) serves as high level (VCCH), and a node (N15) serves as a low level (0V). Since the P channel mold MOSFET (MP7) and the N channel mold MOSFET (MN9) all become off, this buffer circuit does not drive an input/output terminal (PAD).

[0031] With the chip which applied the buffer circuit of this invention, low electrification of the internal circuitry by low-battery-izing of an interior-action electrical potential difference (VCCL) can be attained easily. It is because the level conversion of the signal of the VCCL level inside a chip is carried out to the supply voltage level (VCCH) which carries out an interface by the buffer circuit of this invention, it is outputted to an input/output terminal (PAD) so that clearly from the above-mentioned explanation, so the operating voltage (VCCL) inside a chip can be low lowered regardless of the supply voltage level (VCCH) which carries out an interface.

[0032] Furthermore, since the maximum electrical potential difference impressed to a component in the buffer circuit of this invention is stopped lower than the supply voltage (VCCH) of an interface, it is easy to apply the ultra-fine processing technology which progressed so more from the point of dependability, therefore becomes easy to attain improvement in the speed of an internal circuitry. It explains below that the maximum electrical potential difference impressed to the component in the buffer circuit of this invention is stopped lower than VCCH at a detail.

[0033] Although a full swing is taken for an input/output terminal (PAD) from 0V to

VCCH, only an electrical potential difference lower than VCCH is impressed to MOSFET (MP7, MP8, MN9, MN10) which answers PAD. This is explained using drawing 1 and drawing 3. Drawing 3 shows time amount change of the potential of a node (N10, N16) when the potential of an input/output terminal (PAD) changes in order of a low level (0V), high level (VCCH), and a low level (0V) (it corresponds to drawing 2), the electrical potential difference between terminals of the P channel mold MOSFET (MP8), and the electrical potential difference between terminals of the N channel mold MOSFET (MN10). First, the potential difference between terminals of a node (N10) does not become lower than VCCM+VTP (see N10 in drawing 3) of a node (N10) does not become lower than VCCM+VTP (however, VTP magnitude of the threshold of the P channel mold MOSFET). It is because the P channel mold MOSFET (MP8) will become off and will bar the potential fall of a node (N10), if a node (N10) tends to become low voltage from VCCM+VTP. Therefore, between the drain sources of the P channel mold MOSFET (MP7) (the source is being fixed to VCCH), only the electrical potential difference below VCCH- (VCCM+VTP) is impressed. Moreover, the potential (see N16 in drawing 3) of a node (N16) is that (however, VTN magnitude of the threshold of the N channel mold MOSFET) which does not become higher than VCCM-VTN, and only the electrical potential difference below VCCM-VTN is impressed between the drain sources of the N channel mold MOSFET (MN9) so that it may be easily guessed from the object nature of component connection. Moreover, in the P channel mold MOSFET (MP8) and the N channel mold MOSFET (MN10), since the gate terminal is being fixed to VCCM, the applied voltage between the gate sources and between gate drains does not exceed the electrical potential difference of the larger one among VCCM and VCCH-VCCM (see G-S and G-D in drawing 3). When an input/output terminal (PAD) is a low level (0V), MP8 is maximum VCCM+VTP and an input/output terminal (PAD) is high level (VCCH), as for it, MN10 is an electrical potential difference with all lower than VCCH, although the magnitude of the electrical potential difference between the drain sources of the P channel mold MOSFET (MP8) and the N channel mold MOSFET (MN10) takes maximum VCCH-VCCM+VTN (see D-S in drawing 3). In this way, although PAD takes a full swing from 0V to VCCH, only an electrical potential difference lower than VCCH is impressed to MOSFET (MP7, MP8, MN9, MN10) which answers an input/output terminal (PAD). If it considers in approximation that the magnitude (VTP, VTN) of the threshold of MOSFET is zero and VCCM is further set as VCCH/2, the maximum electrical potential difference impressed to MOSFET (MP7, MP8, MN9, MN10) from the above-mentioned explanation will be set to VCCH/2.

[0034] Although, as for the level-conversion section which consists of a P channel mold MOSFET (MPs 1-4) and an N channel mold MOSFET (MN 1-4), VCCH is supplied as supply voltage, only an electrical potential difference too lower than VCCH is impressed to

each MOSFET. It is because it is the same as that of connection (MP1, MP3, MN2, MN1) of the component which constitutes this level-conversion section, or (MP2, MP4, MN4, MN3) the above-mentioned component connection (MP7, MP8, MN10, MN9), so the applied voltage of each MOSFET is reduced according to the same device as the above-mentioned explanation.

[0035] Since the gate terminal of the N channel mold MOSFET (MN11) is being fixed to VCCM, even if an input/output terminal (PAD) is set to high level (VCCH), the potential of a node (N17) rises only to VCCM-VTN. Therefore, the electrical potential difference of VCCH is not impressed to the component which constitutes an inverter (INV8) at full. The electrical potential difference impressed to the N channel mold MOSFET (MN11) is reduced like the N channel mold MOSFET (MN10).

[0036] It is clear that the electrical potential difference impressed about components other than the above included in the buffer circuit (refer to drawing 1) of this invention is lower than VCCH. The maximum electrical potential difference impressed to all the components that constitute the buffer circuit of this invention in this way is stopped lower than the electrical potential difference (VCCH) of an interface.

[0037]

[Embodiment of the Invention] A drawing explains the example of this invention below at a detail.

[0038] Drawing 1 is the block diagram of the input-output-buffer circuit explaining one example of this invention. In this buffer circuit, three power sources (VCCL, VCCM, and VCCH) higher than touch-down potential (GND) are supplied. The potential of VCCM is higher than VCCL and the potential of VCCH is higher than VCCM. VCCL is equivalent to the operating voltage inside a chip. Moreover, VCCH is equivalent to the supply voltage level (for example, 3.3V) in which this buffer circuit carries out an interface. High level corresponds with VCCL and the low level of input signals [output signals (DOUT) from the interior of a chip, output activation signals (OEN), and / each of] (DIN) inside a chip corresponds with 0V (GND level).

[0039] The partial logical circuit which consists of a NAND gate (NA1, NA2) and an inverter (INV1, INV2, INV3) generates a signal (N1, N2, N11, N12) based on an output signal (DOUT) and an output activation signal (OEN). N1, and N2, N11 and N12 have the relation of the complementation mutually, respectively. When an output activation signal (OEN) is high level (VCCL), an output signal (DOUT) and the logical value of a signal (N2, N11) correspond. Moreover, when an output activation signal (OEN) is a low level (0V), it is not based on the logical value of an output signal (DOUT), but a signal (N2) serves as a low level (0V), and a signal (N11) always serves as high level (VCCL).

[0040] When an output activation signal (OEN) is high level (VCCL), a buffer circuit outputs an output signal (DOUT) to an input/output terminal (PAD) (refer to drawing 2). The case where an output signal (DOUT) changes from a low level (0V) to high level (VCCL) is taken for an example, and this actuation is explained below. Since a signal (N1) changes from high level (VCCL) to a low level (0V) and a signal (N2) changes from a low level (0V) to high level (VCCL), in the N channel mold MOSFET (MN1), the N channel mold MOSFET (MN3) changes to ON off. The node (N8) it was high level (VCCH) before [whose] transition is driven with the N channel mold MOSFET (MN3) through the P channel mold MOSFET (MP4) and the N channel mold MOSFET (MN4), and potential is reduced until it reaches the potential of the threshold of the P channel mold MOSFET (MP4) high by magnitude rather than VCCM. Thereby, the P channel mold MOSFET (MP1) serves as ON, and the node (N7) which was a low level (VCCM) is pulled up to high level (VCCH) before transition. Thereby, the N channel mold MOSFET (MN6) changes to ON, and makes the potential of a node (N8) in agreement with VCCM. In this way, the level conversion of the signal (N1 and N2) which makes VCCL high level and makes 0V a low level is carried out to the signal (N7 and N8) with which VCCH is made into high level and it makes VCCM a low level. A signal (N8) is told to a node (N9) as a signal of the same level through two more steps of inverters (INV4, INV5). Since a node (N9) changes from high level (VCCH) to a low level (VCCM), it makes the P channel mold MOSFET (MP7) change to ON. On the other hand, since a signal (N12) changes from high level (VCCL) to a low level (0V) and a signal (N11) changes from a low level (0V) to high level (VCCL), in the N channel mold MOSFET (MN8), the N channel mold MOSFET (MN7) changes to ON off. The node (N13) it was high level (VCCM) before [whose] transition is driven with the N channel mold MOSFET (MN7), and is reduced by the low level (0V). Thereby, the P channel mold MOSFET (MP6) serves as ON, and the node (N14) which was a low level (0V) is pulled up to VCCM before transition. In this way, the level conversion of the signal (N11 and N12) which makes VCCL high level and makes 0V a low level is carried out to the signal (N13 and N14) with which VCCM is made into high level and it makes 0V a low level. A signal (N13) is told to a node (N15) as a signal of the same level through two more steps of inverters (INV7 and INV8). Since a node (N15) changes from high level (VCCM) to a low level (0V), it makes the N channel mold MOSFET (MN9) change off. Since ON and the N channel mold MOSFET (MN9) become off [the P channel mold MOSFET (MP7)] as mentioned above, the P channel mold MOSFET (MP7) drives an input/output terminal (PAD) through the P channel mold MOSFET (MP8), and pulls up it from a low level (0V) to high level (VCCH).

[0041] Similarly an output activation signal (OEN) is high level (VCCL), when an output signal (DOUT) changes from high level (VCCL) to a low level (0V), transition

respectively contrary to **** arises in each node, and an input/output terminal (PAD) changes from high level (VCCH) to a low level (0V) (refer to drawing 2).

[0042] When an output activation signal (OEN) is a low level (0V), it is not based on the logical value of an output signal (DOUT), but a node (N9) serves as high level (VCCH), and a node (N15) serves as a low level (0V). Since the P channel mold MOSFET (MP7) and the N channel mold MOSFET (MN9) all become off, this buffer circuit does not drive an input/output terminal (PAD).

[0043] The signal of VCCH level inputted into the input/output terminal (PAD) is changed into the signal (DIN) of VCCL level from the chip exterior through two steps of CMOS inverters (INV8, INV9) with which electric power is supplied to the N channel molds MOSFET (MN11) and VCCL (refer to drawing 2). In addition, diode (D1, D2) is used as a component for the input protections for preventing an electrostatic discharge.

[0044] With the chip which applied the buffer circuit of this example, low electrification of the internal circuitry by low-battery-izing of an interior-action electrical potential difference (VCCL) can be attained easily. It is because the level conversion of the signal of the VCCL level inside a chip is carried out to the supply voltage level (VCCH) which carries out an interface by the buffer circuit of this example, it is outputted to an input/output terminal (PAD) so that clearly from the above-mentioned explanation, so the operating voltage (VCCL) inside a chip can be low lowered regardless of the supply voltage level (VCCH) which carries out an interface.

[0045] Furthermore, since the maximum electrical potential difference impressed to a component in the buffer circuit of this example is stopped lower than the supply voltage (VCCH) of an interface, it is easy to apply the ultra-fine processing technology which progressed so more from the point of dependability, therefore becomes easy to attain improvement in the speed of an internal circuitry. It explains below that the maximum electrical potential difference impressed to the component in the buffer circuit of this example is stopped lower than VCCH at a detail.

[0046] Although a full swing is taken for an input/output terminal (PAD) from 0V to VCCH, only an electrical potential difference lower than VCCH is impressed to MOSFET (MP7, MP8, MN9, MN10) which answers PAD. This is explained using drawing 1 and drawing 3 .

[0047] Drawing 3 shows time amount change of the potential of a node (N10, N16) when the potential of an input/output terminal (PAD) changes in order of a low level (0V), high level (VCCH), and a low level (0V) (it corresponds to drawing 2), the electrical potential difference between terminals of the P channel mold MOSFET (MP8), and the electrical potential difference between terminals of the N channel mold MOSFET (MN10). First, the

potential (see N10 in drawing 3) of a node (N10) does not become lower than $V_{CCM}+V_{TP}$ (however, V_{TP} magnitude of the threshold of the P channel mold MOSFET). It is because the P channel mold MOSFET (MP8) will become off and will bar the potential fall of a node (N10), if a node (N10) tends to become low voltage from $V_{CCM}+V_{TP}$. Therefore, between the drain sources of the P channel mold MOSFET (MP7) (the source is being fixed to VCCH), only the electrical potential difference below $VCCH - (V_{CCM}+V_{TP})$ is impressed. Moreover, the potential (see N16 in drawing 3) of a node (N16) is that (however, V_{TN} magnitude of the threshold of the N channel mold MOSFET) which does not become higher than $V_{CCM}-V_{TN}$, and only the electrical potential difference below $V_{CCM}-V_{TN}$ is impressed between the drain sources of the N channel mold MOSFET (MN9) so that it may be easily guessed from the object nature of component connection. Moreover, in the P channel mold MOSFET (MP8) and the N channel mold MOSFET (MN10), since the gate terminal is being fixed to V_{CCM} , the applied voltage between the gate sources and between gate drains does not exceed the electrical potential difference of the larger one among V_{CCM} and $VCCH-V_{CCM}$ (see G-S and G-D in drawing 3). When an input/output terminal (PAD) is a low level (0V), MP8 is maximum $V_{CCM}+V_{TP}$ and an input/output terminal (PAD) is high level (VCCH), as for it, MN10 is an electrical potential difference with all lower than VCCH, although the magnitude of the electrical potential difference between the drain sources of the P channel mold MOSFET (MP8) and the N channel mold MOSFET (MN10) takes maximum $VCCH-V_{CCM}-V_{TN}$ (see D-S in drawing 3). In this way, although PAD takes a full swing from 0V to VCCH, only an electrical potential difference lower than VCCH is impressed to MOSFET (MP7, MP8, MN9, MN10) which answers an input/output terminal (PAD). If it considers in approximation that the magnitude (V_{TP} , V_{TN}) of the threshold of MOSFET is zero and V_{CCM} is further set as $VCCH/2$, the maximum electrical potential difference impressed to MOSFET (MP7, MP8, MN9, MN10) from the above-mentioned explanation will be set to $VCCH/2$.

[0048] Although, as for the level-conversion section which consists of a P channel mold MOSFET (MPs 1-4) and an N channel mold MOSFET (MN 1-4), VCCH is supplied as supply voltage, only an electrical potential difference too lower than VCCH is impressed to each MOSFET. It is because it is the same as that of connection (MP1, MP3, MN2, MN1) of the component which constitutes this level-conversion section, or (MP2, MP4, MN4, MN3) the above-mentioned component connection (MP7, MP8, MN10, MN9), so the applied voltage of each MOSFET is reduced according to the same device as the above-mentioned explanation.

[0049] Since the gate terminal of the N channel mold MOSFET (MN11) is being fixed to V_{CCM} , even if an input/output terminal (PAD) is set to high level (VCCH), the

potential of a node (N17) rises only to VCCM-VTN. Therefore, the electrical potential difference of VCCH is not impressed to the component which constitutes an inverter (INV8) at full. The electrical potential difference impressed to the N channel mold MOSFET (MN11) is reduced like the N channel mold MOSFET (MN10).

[0050] It is clear that the electrical potential difference impressed about components other than the above included in the buffer circuit of this example is lower than VCCH. The maximum electrical potential difference impressed to all the components that constitute the buffer circuit of this example in this way is stopped lower than the electrical potential difference (VCCH) of an interface.

[0051] Drawing 7 is the block diagram of an input-output-buffer circuit showing other examples of this invention, and has composition which removed the N channel mold MOSFET (MN5, MN6) from the buffer circuit shown in drawing 1. Although the low level of a node (N7, N8) is reduced to VCCM in the buffer circuit of drawing 1 by the latch who consists of N channel molds MOSFET (MN5, MN6) (refer to drawing 2), only the magnitude of the threshold of the P channel mold MOSFET serves as high potential from VCCM in this example. Therefore, although the problem that leakage current flows is in an inverter (INV4) when a node (N8) is a low level, there is also an advantage that a circuit can be constituted from an element number smaller than the example of drawing 1.

[0052] Drawing 8 is the block diagram of an input-output-buffer circuit showing other examples of this invention, and transposes all the power sources (VCCM) used in the buffer circuit shown in drawing 1 to a power source (VCCL). In the buffer circuit of this example, the component to which an electrical potential difference higher than the buffer circuit shown in the example of drawing 1 is impressed exists. For example, although the maximum electrical potential difference impressed to the P channel mold MOSFET (MP1, MP2) which constitutes a latch circuit, and the N channel mold MOSFET (MN5, MN6) is VCCH-VCCM in the buffer circuit of drawing 1, it increases to VCCH-VCCL in the buffer circuit of this example. However, there is instead of [no] in the maximum electrical potential difference impressed being reduced from the level (VCCH) of an interface. The advantage of the buffer circuit of this example is that there are few required power sources.

[0053] Drawing 9 is the block diagram of an input-output-buffer circuit showing other examples of this invention, and it transposes alternatively a part of power source (VCCM) used in the buffer circuit shown in drawing 1 to a power source (VCCL) so that priority may be given to increase of the drive current of MOSFET. Although the maximum electrical potential difference on which this example is also impressed to the component in a buffer circuit increases compared with the buffer circuit of drawing 1 $R > 1$, there is instead of [no] in the maximum electrical potential difference impressed being too reduced from the level

(VCCH) of an interface.

[0054] Drawing 10 is the block diagram of an input-output-buffer circuit showing other examples of this invention. The buffer circuit shown in drawing 1 so that a complementation signal (N1 and N2) may drive a node (N3, N4) through the drain source path of the N channel mold MOSFET (MN1 and MN2) to each other. Moreover, connection is changed so that a complementation signal (N11 and N12) may drive a node (N13, N14) through the drain source path of the N channel mold MOSFET (MN7 and MN8) to each other.

[0055] Drawing 11 is the block diagram of an output-buffer circuit showing other examples of this invention, and dedication-izes the input-output-buffer circuit shown in drawing 1 to an output buffer. Since the output activation signal (OEN) included in the input-output-buffer circuit of drawing 1 becomes unnecessary, the partial logical circuit (INV2, INV3, NA1, NA2) which accompanies it also becomes unnecessary. Moreover, it becomes unnecessary [the input-buffer section (MN11, INV8, INV9)] natural.

[0056] Drawing 12 is the block diagram showing other examples of this invention, and shows the system configuration of the pocket mold information machines and equipment which operate by the cell. In a microprocessor, actuation with low power is called for in order to long-duration-size cell actuation and to be beneficial, at the same time the high engine performance is required, in order to carry out digital processing of the data which deliver and receive between a communication line, a PC card, a liquid crystal display, etc. at a high speed. The microprocessor which applied the buffer circuit of this invention to the input output buffer becomes possible [operating at low power and a high speed moreover], carrying out an interface to the circumference logic and memory which operate with standard supply voltage (VCCH).

[0057]

[Effect of the Invention] As explained above, according to this invention, the chip by which an internal circuitry operates on an electrical potential difference lower than the supply voltage level which carries out an interface enables it to operate an internal circuitry at low power and a high speed.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of an input-output-buffer circuit showing one example of this invention.

[Drawing 2] It is the voltage waveform of the input-output-buffer circuit which shows one example of this invention.

[Drawing 3] It is the voltage waveform of the input-output-buffer circuit which shows one example of this invention.

[Drawing 4] It is the block diagram of the conventional input-output-buffer circuit.

[Drawing 5] It is the block diagram of the conventional input-output-buffer circuit.

[Drawing 6] It is the input and output-signal level of an input-output-buffer circuit of drawing 4.

[Drawing 7] It is the block diagram of an input-output-buffer circuit showing other examples of this invention.

[Drawing 8] It is the block diagram of an input-output-buffer circuit showing other examples of this invention.

[Drawing 9] It is the block diagram of an input-output-buffer circuit showing other examples of this invention.

[Drawing 10] It is the block diagram of an input-output-buffer circuit showing other examples of this invention.

[Drawing 11] It is the block diagram of an output-buffer circuit showing other examples of this invention.

[Drawing 12] They are the microprocessor which carried the input-output-buffer circuit of this invention, and the pocket mold information machines and equipment using it.

[Description of Notations]

MPs 1-8, MP's 100-103, MP's 201-205 :P Channel mold MOSFET

MN 1-11, MN 100-105, MN 201-205: N channel mold MOSFET

INV 1-7, INV100, INV 201-209: Inverter

NA1, NA2, NA201, NA202:2 input NAND gate

D1, D2, D201, D202: Diode

DOUT: The output from an internal circuitry

OEN: Output activation signal

DIN: The input to an internal circuitry

PAD: Pad

VCC, VCCM, VCCL: Power source

GND: Touch-down potential

N 1-17, N201-N210: Node

100: Input/output control circuit

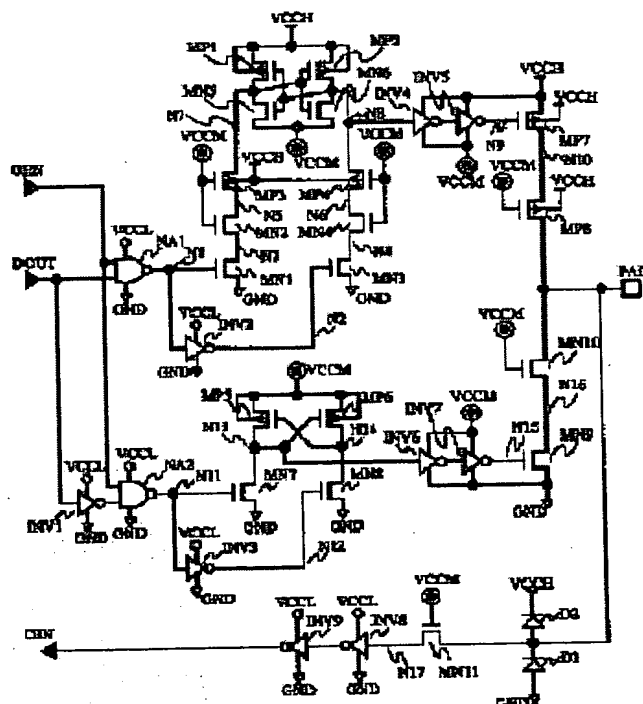
INPUT/OUTPUT BUFFER CIRCUIT

Patent number: JP9116416
Publication date: 1997-05-02
Inventor: HIRAKI MITSURU; AKITA YOHEI
Applicant: HITACHI LTD
Classification:
 - international: H03K19/0175; G06F1/32; H03K19/0185; H03K19/01;
 H03K19/0944
 - european:
Application number: JP19950269718 19951018
Priority number(s): JP19950269718 19951018

Report a data error here

Abstract of JP9116416

PROBLEM TO BE SOLVED: To operate the chip, in which internal circuit is operated with a voltage lower than a supply voltage level to be inter-faced, at a high speed with a low power.
SOLUTION: An input/output terminal (PAD) is driven by a pMOS (MP7) and an nMOS (MN9) through a PMOS (MP8) and an NMOS (MN10) which have gates fixed to the potential between the level (VCCH) of interface and GND, and the low level of a signal (N9) which drives the gate of the pMOS (MP7) is made higher than GND, and the high level of a signal (N15) which drives the gate of the nMOS (MN9) is made lower than the level (VCCH) of interface. Thus, the chip whose internal circuit is operated with a voltage lower than the supply voltage level to be interfaced is operated at a high speed with a low power.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116416

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 S
G 0 6 F 1/32			19/01	
H 0 3 K 19/0185			G 0 6 F 1/00	3 3 2 Z
19/01			H 0 3 K 19/00	1 0 1 E
19/0944			19/094	A
審査請求 未請求 請求項の数14 O L (全 13 頁)				

(21) 出願番号 特願平7-269718

(22) 出願日 平成7年(1995)10月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平木 充

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 秋田 庸平

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

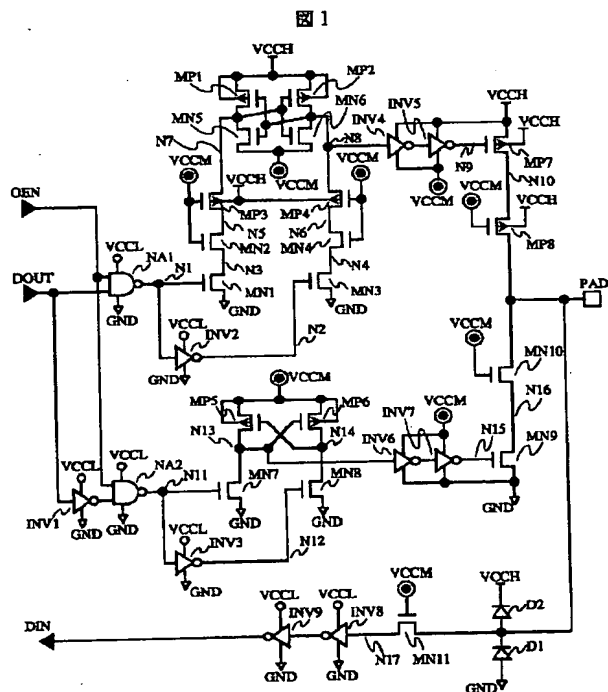
(54) 【発明の名称】 入出力バッファ回路

(57) 【要約】

【目的】 インタフェースする電源電圧レベルよりも低い電圧で内部回路が動作するチップを低電力かつ高速に動作させることを可能とする入出力バッファ回路を提供する。

【構成】 インタフェースのレベル (V_{CC}H) と GND の間の電位にゲートを固定された pMOS (MP8) と nMOS (MN10) を介して、入出力端子 (PAD) が pMOS (MP7) と nMOS (MN9) により駆動され、pMOS (MP7) のゲートを駆動する信号 (N9) のロウレベルは GND より高く、nMOS (MN9) のゲートを駆動する信号 (N15) のハイレベルはインタフェースのレベル (V_{CC}H) より低いことを特徴とするバッファ回路。

【効果】 インタフェースする電源電圧レベルよりも低い電圧で内部回路が動作するチップを、低電力かつ高速に動作させることが可能となる。



1

【特許請求の範囲】

【請求項1】 そのドレイン・ソース経路が互いに直列接続された第1および第2のPチャンネル型MOSFETと、そのドレイン・ソース経路が互いに直列接続された第1および第2のNチャンネル型MOSFETを具備し、第1の動作電位点に上記第1のPチャンネル型MOSFETのソース端子が接続され、上記第1の動作電位点よりも電位が低い第2の動作電位点に上記第1のNチャンネル型MOSFETのソース端子が接続され、上記第2のPチャンネル型MOSFETのドレイン端子および上記第2のNチャンネル型MOSFETのドレイン端子が第1の端子に接続され、上記第1の動作電位点よりも電位が低く上記第2の動作電位点よりも電位が高い第3の動作電位点に上記第2のPチャンネル型MOSFETのゲート端子および上記第2のNチャンネル型MOSFETのゲート端子が接続され、上記第1のPチャンネル型MOSFETのゲート端子が第1の信号にตอบสนองし、上記第1のNチャンネル型MOSFETのゲート端子が第2の信号にตอบสนองすることを特徴とするバッファ回路。

【請求項2】 請求項1に記載のバッファ回路において、上記第1の信号はハイレベルが上記第1の動作電位点に一致しロウレベルが上記第2の動作電位点より高い電位であり、上記第2の信号はハイレベルが上記第1の動作電位点より低い電位でありロウレベルが上記第2の動作電位点に一致することを特徴とするバッファ回路。

【請求項3】 請求項1に記載のバッファ回路において、上記第1の信号を生成する第1の手段は、そのドレイン・ソース経路が互いに直列接続された第3および第4のPチャンネル型MOSFETと、そのドレイン・ソース経路が互いに直列接続された第5および第6のPチャンネル型MOSFETと、そのドレイン端子が上記第4のPチャンネル型MOSFETのドレイン端子に接続された第3のNチャンネル型MOSFETと、そのドレイン端子が上記第6のPチャンネル型MOSFETのドレイン端子に接続された第4のNチャンネル型MOSFETを具備し、上記第3のPチャンネル型MOSFETのドレイン端子と上記第5のPチャンネル型MOSFETのゲート端子が接続され、上記第5のPチャンネル型MOSFETのドレイン端子と上記第3のPチャンネル型MOSFETのゲート端子が接続され、上記第3および第5のPチャンネル型MOSFETのソース端子が上記第1の動作電位点に接続され、上記第4および第6のPチャンネル型MOSFETのゲート端子および上記第3および第4のNチャンネル型MOSFETのゲート端子が上記第3の動作電位点に接続されたことを特徴とするバッファ回路。

【請求項4】 請求項3に記載のバッファ回路において、第3の信号にตอบสนองして、上記第3のNチャンネル型MOSFETのソース端子と上記第4のNチャンネル型MOSFETのソース端子のいずれか一方を選択的に上記第2の動作電位点に一致させる第2の手段を具備することを特

2

徴とするバッファ回路。

【請求項5】 請求項4に記載のバッファ回路において、上記第3の信号はそのハイレベルが上記第3の動作電位点よりも高くはない電位でありそのロウレベルが上記第2の動作電位点に一致することを特徴とするバッファ回路。

【請求項6】 請求項4に記載のバッファ回路において、上記第2の手段は、そのドレイン・ソース経路を介して上記第3のNチャンネル型MOSFETのソース端子と上記第2の動作電位点が接続される第5のNチャンネル型MOSFETと、そのドレイン・ソース経路を介して上記第4のNチャンネル型MOSFETのソース端子と上記第2の動作電位点が接続される第6のNチャンネル型MOSFETを具備し、上記第5のNチャンネル型MOSFETのゲート端子は上記第3の信号にตอบสนองし、上記第6のNチャンネル型MOSFETのゲート端子は上記第3の信号の相補信号にตอบสนองすることを特徴とするバッファ回路。

【請求項7】 請求項1に記載のバッファ回路において、上記第2の信号を生成する第3の手段は、そのソース端子が上記第3の動作電位点に接続された第7および第8のPチャンネル型MOSFETと、そのソース端子が上記第2の動作電位点に接続された第7および第8のNチャンネル型MOSFETを具備し、上記第7のNチャンネル型MOSFETのドレイン端子は上記第7のPチャンネル型MOSFETのドレイン端子と上記第8のPチャンネル型MOSFETのゲート端子に接続され、上記第8のNチャンネル型MOSFETのドレイン端子は上記第8のPチャンネル型MOSFETのドレイン端子と上記第7のPチャンネル型MOSFETのゲート端子に接続され、上記第7のNチャンネル型MOSFETのゲート端子は第4の信号にตอบสนองし、上記第8のNチャンネル型MOSFETのゲート端子は上記第4の信号の相補信号にตอบสนองすることを特徴とするバッファ回路。

【請求項8】 請求項7に記載のバッファ回路において、上記第4の信号はそのハイレベルが上記第3の動作電位点よりも高くはない電位でありそのロウレベルが上記第2の動作電位点に一致することを特徴とするバッファ回路。

【請求項9】 請求項1に記載のバッファ回路において、そのゲート端子が上記第3の動作電位点に接続されそのドレイン・ソース経路が上記第1の端子に接続された第9のNチャンネル型MOSFETを具備することを特徴とするバッファ回路。

【請求項10】 請求項3に記載のバッファ回路において、上記第1の信号を生成する上記第1の手段は、そのソース端子が上記第3の動作電位点に接続された第10および第11のNチャンネル型MOSFETを具備し、上記第3のPチャンネル型MOSFETのドレイン端子は上記第10のNチャンネル型MOSFETのドレイン端子および上記第11のNチャンネル型MOSFETのゲート端

3

子に接続され、上記第5のPチャネル型MOSFETのドレイン端子は上記第11のNチャネル型MOSFETのドレイン端子および上記第10のNチャネル型MOSFETのゲート端子に接続されたことを特徴とするバッファ回路。

【請求項11】請求項1に記載のバッファ回路において、上記第1の動作電位点と上記第2の動作電位点の中間電位よりも低い電位の信号を上記第1の動作電位点と同電位の信号に変換することを特徴とするバッファ回路。

【請求項12】請求項1に記載されたバッファ回路を同一チップ内に搭載していることを特徴とする半導体集積回路。

【請求項13】請求項12に記載された半導体集積回路を少なくとも1個はパッケージ・ボード上に有する情報処理装置。

【請求項14】第1の電位と、第2の電位と、上記第1の電位と上記第2の電位との間の第3の電位とが接続されたバッファ回路において、

上記第2の電位を基準とする入力信号を上記第1の電位と上記第3の電位との間で変化する信号に変換する第1の回路と、

上記入力信号を上記第2の電位と上記第3の電位との間で変化する信号に変換する第2の回路と、

上記第1の回路の出力信号をそのゲートに入力し、そのソースが上記第1の電位に接続された第1導電型の第1のトランジスタと、

上記第3の電位をそのゲートに入力し、そのソースが上記第1のトランジスタのドレインに接続された上記第1導電型の第2のトランジスタと、

上記第2のトランジスタのドレインに接続された出力端子と、

上記第3の電位をそのゲートに入力し、そのドレインが上記出力端子に接続された第2導電型の第3のトランジスタと、

上記第2の回路の出力信号をそのゲートに入力し、そのドレインが上記第3のトランジスタのソースに接続され、そのソースが上記第2の電位に接続された上記第2導電型の第4のトランジスタとを具備することを特徴とするバッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特に相異なる電源電圧で動作する複数の半導体集積回路の間のインタフェースを可能とする入出力バッファに関する。

【0002】

【従来の技術】最新のマイクロプロセッサチップでは、高速化と高集積化に伴う消費電力の増大を抑制するため、チップ内部の動作電圧を標準的な電圧（例えば、

4

3.3V）よりも低電圧化する動きが顕在化しつつある（例えば、日経マイクロデバイス1995年1月号78ページ）。このように低電圧で動作するチップが、3.3Vで動作するボード上の他のチップ（周辺ロジックやメモリなど）とインタフェースするためには、自分の動作電圧よりも高い電源電圧レベルとインタフェースできる入出力バッファを搭載する必要がある。このような入出力バッファの従来例を図4および図5に示す。

【0003】図4の従来例は、公開特許公報（特開平4-329024）で報告されている。VCCHは標準電源電圧（例えば、3.3V）に相当する。VCCLはこの入出力バッファが搭載されているチップの内部の動作電圧であり、VCCHより低い（例えば、2.5V）。チップ内部からの出力信号（DOUT）、出力活性化信号（OEN）、チップ内部への入力信号（DIN）はいずれも信号振幅はVCCLである。バッファ回路が出力信号（DOUT）を入出力端子（PAD）に出力するとき、信号振幅がVCCLのまま出力される。一方、外部から入出力端子（PAD）にVCCHレベルの信号が入力されるとき、Nチャネル型MOSFET（MN104）、2段のCMOSインバータ（MP103、MN105、INV100）を介してVCCLレベルの信号（DIN）に変換されてチップ内部に送られる。Pチャネル型MOSFET（MP101）のNウェルにVCCLではなくVCCHが給電されているのは、外部から入出力端子（PAD）にハイレベル（VCCH）の信号が印加されたときにMP101のドレイン（PAD）とNウェルからなるPN接合が順バイアスされるのを防止するためである。

【0004】図5の従来例は、IEEE Journal of Solid-State Circuits, vol. 29, pp. 1415-1428, Dec. 1994で報告されている。このバッファ回路では、VCCLレベルの出力信号（DOUT）は入出力端子（PAD）ではVCCHレベルの信号に変換されて出力される。このVCCHレベルへの引き上げは、Pチャネル型MOSFETで構成されるラッチ（MP201とMP202、MP203とMP204）により行われる。一方、外部から入出力端子（PAD）にVCCHレベルの信号が入力されるとき、図4の従来例と類似の方法によりVCCLレベルの信号（DIN）に変換されてチップ内部に送られる。

【0005】他の従来例としては特開平4-211515号公報があるが、詳細は省略する。

【0006】

【発明が解決しようとする課題】インタフェースする標準的な電源電圧レベルよりも低い電圧で内部回路を動作させるチップでは、内部回路を低電力かつ高速に動作させることが困難であるという問題がある。これは、従来から用いられている前述の入出力バッファには以下の

（1）または（2）の問題があることに起因する。

5

【0007】(1) インタフェースする電源電圧レベルとは無関係にチップ内部の動作電圧を低く下げる(すなわち、内部回路を低電力化する)ことができない。

【0008】(2) 入出力バッファ中の素子にはインタフェースのレベルと同一の高い電圧が印加されるので、内部回路の動作電圧を低電圧化しているにもかかわらず、信頼性の点から許容できる素子の微細化(すなわち、内部回路動作の高速化)はインタフェースする電源電圧レベルで定まってしまい、それ以上の微細化(高速化)はできない。

【0009】従来の入出力バッファがもつ上記の問題(1)および(2)をそれぞれ以下に詳しく説明する。

【0010】従来例として図4に示した入出力バッファには上記(1)の問題がある。すなわち、インタフェースする電源電圧レベル(V_{CC}H)とは無関係にそのチップ内部の動作電圧(V_{CC}L)を低く下げることはできない。なぜなら、V_{CC}Lを非常に低く下げると、このチップから出力されたハイレベルの信号は標準電源電圧(V_{CC}H)で動作する他のチップにはハイレベルとして正しく認識されないからである。図6を用いてこれを説明する。図4の入出力バッファ(図6では最終出力段のみを示してある)から外部へ出力される信号のハイレベルはV_{CC}Lである。一方、標準電源電圧(V_{CC}H)で動作するチップはV_{CC}H/2前後の値を論理しきい値として入力信号のハイレベルとロウレベルを識別していると一般に考えられる。したがって、V_{CC}LがV_{CC}Hの1/2にも満たないような低い電圧の場合は、V_{CC}Lで動作するチップからこのバッファにより外部に出力されたハイレベル(V_{CC}L)の信号は誤ってロウレベルとして認識されてしまう(例えば、V_{CC}H=3.3V、V_{CC}L=1Vの場合)。かくして、この入出力バッファを用いた場合は、インタフェースする電源電圧レベルとは無関係にそのチップ内部の動作電圧を低く下げることはできないので、内部回路を大幅に低電力化することは困難である。

【0011】従来例として図5に示した入出力バッファには上記(2)の問題がある。すなわち、この入出力バッファ中の素子にはインタフェースのレベルと同一の高い電圧(V_{CC}H)が印加される。例えば、バッファのハイレベル出力時には、入出力端子(PAD)はV_{CC}H、ノード(N210)は0V(GNDレベル)となるから、Nチャネル型MOSFET(MN205)のドレイン・ソース間およびゲート・ソース間にはV_{CC}Hの電圧が印加される。同様にして、電源電圧V_{CC}Hより給電される部分回路に含まれる素子(MN201~204、MP201~205、INV204~208を構成する各素子)にV_{CC}Hが印加される場合があることは容易に理解されるであろう。かくして、この入出力バッファを搭載したチップでは、内部回路の動作電圧をV_{CC}Lに低電圧化しているにもかかわらず、信頼性の点か

6

ら許容できる素子の微細化(すなわち、内部回路動作の高速化)はインタフェースする電源電圧レベル(V_{CC}H)で定まってしまい、それ以上の微細化(高速化)はできない。もちろん、許容印加電圧が異なる2種類の素子(例えば、相異なるゲート酸化膜をもつ2種類のMOSFET)を同一チップ上に形成し、入出力バッファと内部回路でこれらを使い分けることも原理的には可能であるが、素子形成のプロセス工程が非常に複雑になるので現実的ではない。

10 【0012】本発明の目的は、インタフェースする電源電圧レベルよりも低い電圧で内部回路を動作させるチップにおいて、内部回路の低電力かつ高速な動作を可能とする入出力バッファを提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明の一実施形態によれば、そのドレイン・ソース経路が互いに直列接続された第1および第2のPチャネル型MOSFET(MP7およびMP8)と、そのドレイン・ソース経路が互いに直列接続された第1および第2のNチャネル型MOSFET(MN9およびMN10)を具備し、第1の動作電位点(V_{CC}H)に上記第1のPチャネル型MOSFET(MP7)のソース端子が接続され、上記第1の動作電位点(V_{CC}H)よりも電位が低い第2の動作電位点(GND)に上記第1のNチャネル型MOSFET(MN9)のソース端子が接続され、上記第2のPチャネル型MOSFET(MP8)のドレイン端子および上記第2のNチャネル型MOSFET(MN10)のドレイン端子が第1の端子(PAD)に接続され、上記第1の動作電位点(V_{CC}H)よりも電位が低く上記第2の動作電位点(GND)よりも電位が高い第3の動作電位点(V_{CC}M)に上記第2のPチャネル型MOSFET(MP8)のゲート端子および上記第2のNチャネル型MOSFET(MN10)のゲート端子が接続され、上記第1のPチャネル型MOSFET(MP7)のゲート端子が第1の信号(N9)に応答し、上記第1のNチャネル型MOSFET(MN9)のゲート端子が第2の信号(N15)に応答することを特徴とするものである(図1参照)。

40 【0014】さらに、本発明の好適な実施例によれば、上記第1の信号(N9)はハイレベルが上記第1の動作電位点(V_{CC}H)に一致しロウレベルが上記第2の動作電位点(GND)より高い電位(V_{CC}M)であり、上記第2の信号(N15)はハイレベルが上記第1の動作電位点(V_{CC}H)より低い電位(V_{CC}M)でありロウレベルが上記第2の動作電位点(GND)に一致することを特徴とするものである(図1参照)。

50 【0015】さらに、本発明の好適な実施形態によれば、上記第1の信号(N9)を生成する第1の手段は、そのドレイン・ソース経路が互いに直列接続された第3および第4のPチャネル型MOSFET(MP1および

7

MP3)と、そのドレイン・ソース経路が互いに直列接続された第5および第6のPチャネル型MOSFET (MP2およびMP4)と、そのドレイン端子が上記第4のPチャネル型MOSFET (MP3)のドレイン端子に接続された第3のNチャネル型MOSFET (MN2)と、そのドレイン端子が上記第6のPチャネル型MOSFET (MP4)のドレイン端子に接続された第4のNチャネル型MOSFET (MN4)を具備し、上記第3のPチャネル型MOSFET (MP1)のドレイン端子と上記第5のPチャネル型MOSFET (MP2)のゲート端子が接続され、上記第5のPチャネル型MOSFET (MP2)のドレイン端子と上記第3のPチャネル型MOSFET (MP1)のゲート端子が接続され、上記第3および第5のPチャネル型MOSFET (MP1およびMP2)のソース端子が上記第1の動作電位点(VCC_H)に接続され、上記第4および第6のPチャネル型MOSFET (MP3およびMP4)のゲート端子および上記第3および第4のNチャネル型MOSFET (MN2およびMN4)のゲート端子が上記第3の動作電位点(VCC_M)に接続されたことを特徴とするものである(図1参照)。

【0016】さらに、本発明の好適な実施形態によれば、第3の信号(N1)にตอบสนองして、上記第3のNチャネル型MOSFET (MN2)のソース端子(N3)と上記第4のNチャネル型MOSFET (MN4)のソース端子(N4)のいずれか一方を選択的に上記第2の動作電位点(GND)に一致させる第2の手段を具備することを特徴とするものである(図1参照)。

【0017】さらに、本発明の好適な実施例によれば、上記第3の信号(N1)はそのハイレベルが上記第3の動作電位点(VCC_M)よりも高くはない電位(VCC_L)でありそのロウレベルが上記第2の動作電位点(GND)に一致することを特徴とするものである(図1参照)。

【0018】さらに、本発明の好適な実施形態によれば、上記第2の手段は、そのドレイン・ソース経路を介して上記第3のNチャネル型MOSFET (MN2)のソース端子(N3)と上記第2の動作電位点(GND)が接続される第5のNチャネル型MOSFET (MN1)と、そのドレイン・ソース経路を介して上記第4のNチャネル型MOSFET (MN4)のソース端子(N4)と上記第2の動作電位点(GND)が接続される第6のNチャネル型MOSFET (MN3)を具備し、上記第5のNチャネル型MOSFET (MN1)のゲート端子は上記第3の信号(N1)にตอบสนองし、上記第6のNチャネル型MOSFET (MN3)のゲート端子は上記第3の信号(N1)の相補信号(N2)にตอบสนองすることを特徴とするものである(図1参照)。

【0019】さらに、本発明の好適な実施形態によれば、上記第2の信号(N15)を生成する第3の手段

8

は、そのソース端子が上記第3の動作電位点(VCC_M)に接続された第7および第8のPチャネル型MOSFET (MP5およびMP6)と、そのソース端子が上記第2の動作電位点(GND)に接続された第7および第8のNチャネル型MOSFET (MN7およびMN8)を具備し、上記第7のNチャネル型MOSFET (MN7)のドレイン端子は上記第7のPチャネル型MOSFET (MP5)のドレイン端子と上記第8のPチャネル型MOSFET (MP6)のゲート端子に接続され、上記第8のNチャネル型MOSFET (MN8)のドレイン端子は上記第8のPチャネル型MOSFET (MP6)のドレイン端子と上記第7のPチャネル型MOSFET (MP5)のゲート端子に接続され、上記第7のNチャネル型MOSFET (MN7)のゲート端子は第4の信号(N11)にตอบสนองし、上記第8のNチャネル型MOSFET (MN8)のゲート端子は上記第4の信号(N11)の相補信号(N12)にตอบสนองすることを特徴とするものである(図1参照)。

【0020】さらに、本発明の好適な実施例によれば、上記第4の信号(N11)はそのハイレベルが上記第3の動作電位点(VCC_M)よりも高くはない電位(VCC_L)でありそのロウレベルが上記第2の動作電位点(GND)に一致することを特徴とするものである(図1参照)。

【0021】さらに、本発明の好適な実施形態によれば、そのゲート端子が上記第3の動作電位点(VCC_M)に接続されそのドレイン・ソース経路が上記第1の端子(PAD)に接続された第9のNチャネル型MOSFET (MN11)を具備することを特徴とするものである(図1参照)。

【0022】さらに、本発明の好適な実施例によれば、上記第1の信号(N9)を生成する上記第1の手段は、そのソース端子が上記第3の動作電位点(VCC_M)に接続された第10および第11のNチャネル型MOSFET (MN5およびMN6)を具備し、上記第3のPチャネル型MOSFET (MP1)のドレイン端子は上記第10のNチャネル型MOSFET (MN5)のドレイン端子および上記第11のNチャネル型MOSFET (MN6)のゲート端子に接続され、上記第5のPチャネル型MOSFET (MP2)のドレイン端子は上記第11のNチャネル型MOSFET (MN6)のドレイン端子および上記第10のNチャネル型MOSFET (MN5)のゲート端子に接続されたことを特徴とするものである(図1参照)。

【0023】本発明の代表的な実施形態(図1)では、接地電位(GND)より高い3つの電源(VCC_L、VCC_MおよびVCC_H)が供給される。VCC_LよりVCC_Mの電位が高く、VCC_MよりVCC_Hの電位が高い。VCC_Lはチップ内部の動作電圧に相当する。また、VCC_Hはこのバッファ回路がインタフェースする

9

電源電圧レベルに相当する。チップ内部からの出力信号 (DOUT)、出力活性化信号 (OEN)、チップ内部への入力信号 (DIN) は、いずれもハイレベルが VCC、ロウレベルが 0V (GNDレベル) に一致する。

【0024】 NANDゲート (NA1、NA2) とインバータ (INV1、INV2、INV3) からなる部分論理回路は出力信号 (DOUT) と出力活性化信号 (OEN) をもとに信号 (N1、N2、N11、N12) を生成する。N1とN2、N11とN12はそれぞれ互いに相補の関係にある。出力活性化信号 (OEN) がハイレベル (VCC) のとき、信号 (N2、N11) は出力信号 (DOUT) と論理値が一致する。また、出力活性化信号 (OEN) がロウレベル (0V) のとき、出力信号 (DOUT) の論理値によらず信号 (N2) は常にロウレベル (0V)、信号 (N11) は常にハイレベル (VCC) となる。

【0025】 出力活性化信号 (OEN) がハイレベル (VCC) のとき、バッファ回路は出力信号 (DOUT) を入出力端子 (PAD) に出力する (図2参照)。出力信号 (DOUT) がロウレベル (0V) からハイレベル (VCC) に遷移する場合を例にとり、この動作を以下に説明する。

【0026】 信号 (N1) はハイレベル (VCC) からロウレベル (0V)、信号 (N2) はロウレベル (0V) からハイレベル (VCC) に遷移するので、Nチャンネル型MOSFET (MN1) はオフに、Nチャンネル型MOSFET (MN3) はオンに遷移する。遷移前はハイレベル (VCC) であったノード (N8) は、Pチャンネル型MOSFET (MP4) とNチャンネル型MOSFET (MN4) を介してNチャンネル型MOSFET (MN3) によって駆動され、VCCよりもPチャンネル型MOSFET (MP4) のしきい値の大きさ分だけ高い電位に達するまで電位が引き下げられる。これによりPチャンネル型MOSFET (MP1) はオンとなり、遷移前はロウレベル (VCC) であったノード (N7) をハイレベル (VCC) に引き上げる。これによりNチャンネル型MOSFET (MN6) はオンに遷移し、ノード (N8) の電位をVCCに一致させる。かくして、VCCをハイレベル、0Vをロウレベルとする信号 (N1およびN2) は、VCCをハイレベル、VCCをロウレベルとする信号 (N7およびN8) にレベル変換される。

【0027】 信号 (N8) はさらに2段のインバータ (INV4、INV5) を通して同一レベルの信号としてノード (N9) に伝えられる。ノード (N9) はハイレベル (VCC) からロウレベル (VCC) に遷移するのでPチャンネル型MOSFET (MP7) をオンに遷移させる。一方、信号 (N12) はハイレベル (VCC) からロウレベル (0V)、信号 (N11) はロウレベル (0V) からハイレベル (VCC) に遷移する

10

ので、Nチャンネル型MOSFET (MN8) はオフに、Nチャンネル型MOSFET (MN7) はオンに遷移する。遷移前はハイレベル (VCC) であったノード (N13) は、Nチャンネル型MOSFET (MN7) によって駆動され、ロウレベル (0V) に引き下げられる。これによりPチャンネル型MOSFET (MP6) はオンとなり、遷移前はロウレベル (0V) であったノード (N14) をVCCに引き上げる。かくして、VCCをハイレベル、0Vをロウレベルとする信号 (N11およびN12) は、VCCをハイレベル、0Vをロウレベルとする信号 (N13およびN14) にレベル変換される。

【0028】 信号 (N13) はさらに2段のインバータ (INV7およびINV8) を通して同一レベルの信号としてノード (N15) に伝えられる。ノード (N15) はハイレベル (VCC) からロウレベル (0V) に遷移するのでNチャンネル型MOSFET (MN9) をオフに遷移させる。以上のようにしてPチャンネル型MOSFET (MP7) がオン、Nチャンネル型MOSFET (MN9) がオフとなるので、Pチャンネル型MOSFET (MP7) はPチャンネル型MOSFET (MP8) を介して入出力端子 (PAD) を駆動し、ロウレベル (0V) からハイレベル (VCC) に引き上げる。

【0029】 出力活性化信号 (OEN) が同じくハイレベル (VCC) であって、出力信号 (DOUT) がハイレベル (VCC) からロウレベル (0V) に遷移するときは、各ノードにはそれぞれ上述とは逆の遷移が生じ、入出力端子 (PAD) はハイレベル (VCC) からロウレベル (0V) に遷移する (図2参照)。

【0030】 出力活性化信号 (OEN) がロウレベル (0V) のときは、出力信号 (DOUT) の論理値によらずノード (N9) はハイレベル (VCC)、ノード (N15) はロウレベル (0V) となる。Pチャンネル型MOSFET (MP7) とNチャンネル型MOSFET (MN9) はいずれもオフとなるので、このバッファ回路は入出力端子 (PAD) を駆動しない。

【0031】 本発明のバッファ回路を適用したチップでは、内部動作電圧 (VCC) の低電圧化による内部回路の低電力化を容易に図ることができる。なぜなら、上記の説明から明らかなように、チップ内部のVCCレベルの信号は本発明のバッファ回路によりインタフェースする電源電圧レベル (VCC) にレベル変換されて入出力端子 (PAD) に出力されるので、インタフェースする電源電圧レベル (VCC) とは無関係にチップ内部の動作電圧 (VCC) を低く下げることができるからである。

【0032】 さらに、本発明のバッファ回路では素子に印加される最大電圧がインタフェースの電源電圧 (VCC) よりも低く抑えられているので、信頼性の点から、それだけより進んだ微細加工技術を適用し易く、し

10

20

30

40

50

たがって、内部回路の高速化を図り易くなる。本発明のバッファ回路中の素子に印加される最大電圧が V_{CC} よりも低く抑えられていることを以下に詳細に説明する。

【0033】入出力端子(PAD)は0Vから V_{CC} までフルスイングするが、PADに応答するMOSFET(MP7、MP8、MN9、MN10)には V_{CC} より低い電圧しか印加されない。これを図1および図3を用いて説明する。図3は、入出力端子(PAD)の電位がロウレベル(0V)、ハイレベル(V_{CC})、ロウレベル(0V)の順に遷移したとき(図2に対応)のノード(N10、N16)の電位、Pチャネル型MOSFET(MP8)の端子間電圧、Nチャネル型MOSFET(MN10)の端子間電圧の時間変化を示している。まず、ノード(N10)の電位(図3中のN10を参照)は $V_{CCM}+V_{TP}$ より低くはならない(ただし、 V_{TP} はPチャネル型MOSFETのしきい値の大きさ)。なぜなら、ノード(N10)が $V_{CCM}+V_{TP}$ より低電位になろうとするとPチャネル型MOSFET(MP8)がオフになりノード(N10)の電位低下を妨げるからである。したがって、Pチャネル型MOSFET(MP7)のドレイン・ソース間(ソースは V_{CC} に固定されている)には $V_{CC}- (V_{CCM}+V_{TP})$ 以下の電圧しか印加されない。また、素子接続の対象性から容易に類推されるように、ノード(N16)の電位(図3中のN16を参照)は $V_{CCM}-V_{TN}$ より高くはならない(ただし、 V_{TN} はNチャネル型MOSFETのしきい値の大きさ)ので、Nチャネル型MOSFET(MN9)のドレイン・ソース間には $V_{CCM}-V_{TN}$ 以下の電圧しか印加されない。また、Pチャネル型MOSFET(MP8)とNチャネル型MOSFET(MN10)はゲート端子が V_{CCM} に固定されていることから、ゲート・ソース間およびゲート・ドレイン間の印加電圧は V_{CCM} と $V_{CC}-V_{CCM}$ のうち大きいほうの電圧を超えない(図3中のG-SおよびG-Dを参照)。Pチャネル型MOSFET(MP8)とNチャネル型MOSFET(MN10)のドレイン・ソース間電圧の大きさは、入出力端子(PAD)がロウレベル(0V)のときMP8が最大値 $V_{CCM}+V_{TP}$ 、入出力端子(PAD)がハイレベル(V_{CC})のときMN10が最大値 $V_{CC}-V_{CCM}+V_{TN}$ をとるが、いずれも V_{CC} より低い電圧である(図3中のD-Sを参照)。かくして、入出力端子(PAD)に응答するMOSFET(MP7、MP8、MN9、MN10)には、PADが0Vから V_{CC} までフルスイングするにもかかわらず、 V_{CC} より低い電圧しか印加されない。MOSFETのしきい値の大きさ(V_{TP} 、 V_{TN})を近似的に零とみなし、さらに V_{CCM} を $V_{CC}/2$ に設定すると、上記の説明よりMOSFET(MP7、MP8、MN9、MN10)に印加される最大電圧

は $V_{CC}/2$ となる。

【0034】Pチャネル型MOSFET(MP1~4)とNチャネル型MOSFET(MN1~4)から構成されるレベル変換部は電源電圧として V_{CC} が供給されているが、各MOSFETには、やはり V_{CC} より低い電圧しか印加されない。なぜなら、このレベル変換部を構成する素子の接続(MP1、MP3、MN2、MN1)あるいは(MP2、MP4、MN4、MN3)が、上記の素子接続(MP7、MP8、MN10、MN9)と同一であるため、上記の説明と同一の機構により各MOSFETの印加電圧が低減されるからである。

【0035】Nチャネル型MOSFET(MN11)のゲート端子は V_{CCM} に固定されているので、入出力端子(PAD)がハイレベル(V_{CC})になってもノード(N17)の電位は $V_{CCM}-V_{TN}$ までしか上昇しない。したがって、インバータ(INV8)を構成する素子には V_{CC} の電圧がフルに印加されることはない。Nチャネル型MOSFET(MN11)に印加される電圧はNチャネル型MOSFET(MN10)と同様に低減される。

【0036】本発明のバッファ回路(図1参照)に含まれる上記以外の素子に関しては、印加される電圧が V_{CC} より低いのは明らかである。かくして、本発明のバッファ回路を構成するすべての素子に印加される最大電圧は、インタフェースの電圧(V_{CC})よりも低く抑えられている。

【0037】

【発明の実施の形態】以下に本発明の実施例を図面により詳細に説明する。

【0038】図1は、本発明の一実施例を説明する入出力バッファ回路の構成図である。本バッファ回路では、接地電位(GND)より高い3つの電源(V_{CCL} 、 V_{CCM} および V_{CC})が供給される。 V_{CCL} より V_{CCM} の電位が高く、 V_{CCM} より V_{CC} の電位が高い。 V_{CCL} はチップ内部の動作電圧に相当する。また、 V_{CC} はこのバッファ回路がインタフェースする電源電圧レベル(例えば、3.3V)に相当する。チップ内部からの出力信号(DOUT)、出力活性化信号(OEN)、チップ内部への入力信号(DIN)は、いずれもハイレベルが V_{CCL} 、ロウレベルが0V(GNDレベル)に一致する。

【0039】NANDゲート(NA1、NA2)とインバータ(INV1、INV2、INV3)からなる部分論理回路は出力信号(DOUT)と出力活性化信号(OEN)をもとに信号(N1、N2、N11、N12)を生成する。N1とN2、N11とN12はそれぞれ互いに相補の関係にある。出力活性化信号(OEN)がハイレベル(V_{CCL})のとき、信号(N2、N11)は出力信号(DOUT)と論理値が一致する。また、出力活性化信号(OEN)がロウレベル(0V)のとき、出力

13

信号 (DOUT) の論理値によらず信号 (N2) は常にロウレベル (0V)、信号 (N11) は常にハイレベル (VCC) となる。

【0040】出力活性化信号 (OEN) がハイレベル (VCC) のとき、バッファ回路は出力信号 (DOUT) を入出力端子 (PAD) に出力する (図2参照)。出力信号 (DOUT) がロウレベル (0V) からハイレベル (VCC) に遷移する場合を例にとり、この動作を以下に説明する。信号 (N1) はハイレベル (VCC) からロウレベル (0V)、信号 (N2) はロウレベル (0V) からハイレベル (VCC) に遷移するので、Nチャネル型MOSFET (MN1) はオフに、Nチャネル型MOSFET (MN3) はオンに遷移する。遷移前はハイレベル (VCC) であったノード (N8) は、Pチャネル型MOSFET (MP4) とNチャネル型MOSFET (MN4) を介してNチャネル型MOSFET (MN3) によって駆動され、VCCより大きな電位に達するまで電位が引き下げられる。これによりPチャネル型MOSFET (MP1) はオンとなり、遷移前はロウレベル (VCC) であったノード (N7) をハイレベル (VCC) に引き上げる。これによりNチャネル型MOSFET (MN6) はオンに遷移し、ノード (N8) の電位をVCCに一致させる。かくして、VCCをハイレベル、0Vをロウレベルとする信号 (N1およびN2) は、VCCをハイレベル、VCCをロウレベルとする信号 (N7およびN8) にレベル変換される。信号 (N8) はさらに2段のインバータ (INV4、INV5) を通して同一レベルの信号としてノード (N9) に伝えられる。ノード (N9) はハイレベル (VCC) からロウレベル (VCC) に遷移するのでPチャネル型MOSFET (MP7) をオンに遷移させる。一方、信号 (N12) はハイレベル (VCC) からロウレベル (0V)、信号 (N11) はロウレベル (0V) からハイレベル (VCC) に遷移するので、Nチャネル型MOSFET (MN8) はオフに、Nチャネル型MOSFET (MN7) はオンに遷移する。遷移前はハイレベル (VCC) であったノード (N13) は、Nチャネル型MOSFET (MN7) によって駆動され、ロウレベル (0V) に引き下げられる。これによりPチャネル型MOSFET (MP6) はオンとなり、遷移前はロウレベル (0V) であったノード (N14) をVCCに引き上げる。かくして、VCCをハイレベル、0Vをロウレベルとする信号 (N11およびN12) は、VCCをハイレベル、0Vをロウレベルとする信号 (N13およびN14) にレベル変換される。信号 (N13) はさらに2段のインバータ (INV7およびINV8) を通して同一レベルの信号としてノード (N15) に伝えられる。ノード (N15) はハイレベル (VCC) からロウレベ

14

ル (0V) に遷移するのでNチャネル型MOSFET (MN9) をオフに遷移させる。以上のようにしてPチャネル型MOSFET (MP7) がオン、Nチャネル型MOSFET (MN9) がオフとなるので、Pチャネル型MOSFET (MP7) はPチャネル型MOSFET (MP8) を介して入出力端子 (PAD) を駆動し、ロウレベル (0V) からハイレベル (VCC) に引き上げる。

【0041】出力活性化信号 (OEN) が同じくハイレベル (VCC) であって、出力信号 (DOUT) がハイレベル (VCC) からロウレベル (0V) に遷移するときは、各ノードにはそれぞれ上述とは逆の遷移が生じ、入出力端子 (PAD) はハイレベル (VCC) からロウレベル (0V) に遷移する (図2参照)。

【0042】出力活性化信号 (OEN) がロウレベル (0V) のときは、出力信号 (DOUT) の論理値によらずノード (N9) はハイレベル (VCC)、ノード (N15) はロウレベル (0V) となる。Pチャネル型MOSFET (MP7) とNチャネル型MOSFET (MN9) はいずれもオフとなるので、このバッファ回路は入出力端子 (PAD) を駆動しない。

【0043】チップ外部から入出力端子 (PAD) に入力されたVCCレベルの信号は、Nチャネル型MOSFET (MN11)、VCCが給電される2段のCMOSインバータ (INV8、INV9) を介してVCCレベルの信号 (DIN) に変換される (図2参照)。なお、ダイオード (D1、D2) は、静電破壊を防止するための入力保護用の素子として用いている。

【0044】本実施例のバッファ回路を適用したチップでは、内部動作電圧 (VCC) の低電圧化による内部回路の低電力化を容易に図ることができる。なぜなら、上記の説明から明らかなように、チップ内部のVCCレベルの信号は本実施例のバッファ回路によりインタフェースする電源電圧レベル (VCC) にレベル変換されて入出力端子 (PAD) に出力されるので、インタフェースする電源電圧レベル (VCC) とは無関係にチップ内部の動作電圧 (VCC) を低く下げることができるからである。

【0045】さらに、本実施例のバッファ回路では素子に印加される最大電圧がインタフェースの電源電圧 (VCC) よりも低く抑えられているので、信頼性の点から、それだけより進んだ微細加工技術を適用し易く、したがって、内部回路の高速化を図り易くなる。本実施例のバッファ回路中の素子に印加される最大電圧がVCCより低く抑えられていることを以下に詳細に説明する。

【0046】入出力端子 (PAD) は0VからVCCまでフルスイングするが、PADに応答するMOSFET (MP7、MP8、MN9、MN10) にはVCCより低い電圧しか印加されない。これを図1および図3

15

を用いて説明する。

【0047】図3は、入出力端子(PAD)の電位がロウレベル(0V)、ハイレベル(VCCH)、ロウレベル(0V)の順に遷移したとき(図2に対応)のノード(N10、N16)の電位、Pチャネル型MOSFET(MP8)の端子間電圧、Nチャネル型MOSFET(MN10)の端子間電圧の時間変化を示している。まず、ノード(N10)の電位(図3中のN10を参照)は $V_{CCM} + V_{TP}$ より低くはならない(ただし、 V_{TP} はPチャネル型MOSFETのしきい値の大きさ)。なぜなら、ノード(N10)が $V_{CCM} + V_{TP}$ より低電位になるとするとPチャネル型MOSFET(MP8)がオフになりノード(N10)の電位低下を妨げるからである。したがって、Pチャネル型MOSFET(MP7)のドレイン・ソース間(ソースはVCCHに固定されている)には $V_{CCH} - (V_{CCM} + V_{TP})$ 以下の電圧しか印加されない。また、素子接続の対象性から容易に類推されるように、ノード(N16)の電位(図3中のN16を参照)は $V_{CCM} - V_{TN}$ より高くはならない(ただし、 V_{TN} はNチャネル型MOSFETのしきい値の大きさ)ので、Nチャネル型MOSFET(MN9)のドレイン・ソース間には $V_{CCM} - V_{TN}$ 以下の電圧しか印加されない。また、Pチャネル型MOSFET(MP8)とNチャネル型MOSFET(MN10)はゲート端子が V_{CCM} に固定されていることから、ゲート・ソース間およびゲート・ドレイン間の印加電圧は V_{CCM} と $V_{CCH} - V_{CCM}$ のうち大きいほうの電圧を超えない(図3中のG-SおよびG-Dを参照)。Pチャネル型MOSFET(MP8)とNチャネル型MOSFET(MN10)のドレイン・ソース間電圧の大きさは、入出力端子(PAD)がロウレベル(0V)のときMP8が最大値 $V_{CCM} + V_{TP}$ 、入出力端子(PAD)がハイレベル(VCCH)のときMN10が最大値 $V_{CCH} - V_{CCM} + V_{TN}$ をとるが、いずれもVCCHより低い電圧である(図3中のD-Sを参照)。かくして、入出力端子(PAD)に応答するMOSFET(MP7、MP8、MN9、MN10)には、PADが0VからVCCHまでフルスイングするにもかかわらず、VCCHより低い電圧しか印加されない。MOSFETのしきい値の大きさ(V_{TP} 、 V_{TN})を近似的に零とみなし、さらに V_{CCM} を $V_{CCH}/2$ に設定すると、上記の説明よりMOSFET(MP7、MP8、MN9、MN10)に印加される最大電圧は $V_{CCH}/2$ となる。

【0048】Pチャネル型MOSFET(MP1~4)とNチャネル型MOSFET(MN1~4)から構成されるレベル変換部は電源電圧としてVCCHが供給されているが、各MOSFETには、やはりVCCHより低い電圧しか印加されない。なぜなら、このレベル変換部を構成する素子の接続(MP1、MP3、MN2、MN

16

1)あるいは(MP2、MP4、MN4、MN3)が、上記の素子接続(MP7、MP8、MN10、MN9)と同一であるため、上記の説明と同一の機構により各MOSFETの印加電圧が低減されるからである。

【0049】Nチャネル型MOSFET(MN11)のゲート端子は V_{CCM} に固定されているので、入出力端子(PAD)がハイレベル(VCCH)になってもノード(N17)の電位は $V_{CCM} - V_{TN}$ までしか上昇しない。したがって、インバータ(INV8)を構成する素子にはVCCHの電圧がフルに印加されることはない。Nチャネル型MOSFET(MN11)に印加される電圧はNチャネル型MOSFET(MN10)と同様に低減される。

【0050】本実施例のバッファ回路に含まれる上記以外の素子に関しては、印加される電圧がVCCHより低いのは明らかである。かくして、本実施例のバッファ回路を構成するすべての素子に印加される最大電圧は、インタフェースの電圧(VCCH)よりも低く抑えられている。

【0051】図7は本発明の他の実施例を示す入出力バッファ回路の構成図であって、図1に示したバッファ回路からNチャネル型MOSFET(MN5、MN6)を取り除いた構成となっている。図1のバッファ回路では、Nチャネル型MOSFET(MN5、MN6)で構成されるラッチによりノード(N7、N8)のロウレベルは V_{CCM} まで引き下げられるが(図2参照)、本実施例では V_{CCM} よりPチャネル型MOSFETのしきい値の大きさだけ高い電位となる。したがって、ノード(N8)がロウレベルのときにインバータ(INV4)にリーク電流が流れるという問題があるが、図1の実施例よりも少ない素子数で回路が構成できるという利点もある。

【0052】図8は本発明の他の実施例を示す入出力バッファ回路の構成図であって、図1に示したバッファ回路で用いていた電源(V_{CCM})をすべて電源(V_{CCL})に置き換えたものである。本実施例のバッファ回路では、図1の実施例に示したバッファ回路よりも高い電圧が印加される素子が存在する。例えば、ラッチ回路を構成するPチャネル型MOSFET(MP1、MP2)とNチャネル型MOSFET(MN5、MN6)に印加される最大電圧は、図1のバッファ回路では $V_{CCH} - V_{CCM}$ であるが、本実施例のバッファ回路では $V_{CCH} - V_{CCL}$ に増大する。しかしながら、印加される最大電圧がインタフェースのレベル(VCCH)より低減されていることにはかわりはない。本実施例のバッファ回路の利点は、必要な電源の数が少ないことである。

【0053】図9は本発明の他の実施例を示す入出力バッファ回路の構成図であって、図1に示したバッファ回路で用いていた電源(V_{CCM})の一部を、MOSFETの駆動電流の増大を優先させるように、選択的に電源

17

(VCC_L) に選択的に置き換えたものである。本実施例でもバッファ回路内の素子に印加される最大電圧は図1のバッファ回路に比べて増大するが、やはり、印加される最大電圧がインタフェースのレベル(VCC_H)より低減されていることには変わりはない。

【0054】図10は本発明の他の実施例を示す入出力バッファ回路の構成図であって、図1に示したバッファ回路を、お互いに相補な信号(N1およびN2)がNチャネル型MOSFET(MN1およびMN2)のドレイン・ソース経路を介してノード(N3、N4)を駆動するように、また、お互いに相補な信号(N11およびN12)がNチャネル型MOSFET(MN7およびMN8)のドレイン・ソース経路を介してノード(N13、N14)を駆動するように、接続を変更したものである。

【0055】図11は本発明の他の実施例を示す出力バッファ回路の構成図であって、図1に示した入出力バッファ回路を出力バッファに専用化したものである。図1の入出力バッファ回路に含まれている出力活性化信号(OEN)が不要となるので、それに付随する部分論理回路(INV2、INV3、NA1、NA2)も不要となる。また、入力バッファ部(MN11、INV8、INV9)ももちろん不要となる。

【0056】図12は本発明の他の実施例を示す構成図であって、電池で動作する携帯型情報機器のシステム構成を示す。マイクロプロセッサでは、通信回線、PCカード、液晶ディスプレイなどとの間で授受を行うデータを高速にデジタル処理するために高い性能が要求されると同時に、電池動作を長時間化するためになるべく低電力での動作が求められる。入出力バッファに本発明のバッファ回路を適用したマイクロプロセッサは、標準電源電圧(VCC_H)で動作する周辺ロジックやメモリとインタフェースしながら、しかも低電力かつ高速に動作することが可能となる。

【0057】

【発明の効果】以上説明したように本発明によれば、インタフェースする電源電圧レベルよりも低い電圧で内部回路が動作するチップで、内部回路を低電力かつ高速に動作させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す入出力バッファ回路の

構成図である。

【図2】本発明の一実施例を示す入出力バッファ回路の電圧波形である。

【図3】本発明の一実施例を示す入出力バッファ回路の電圧波形である。

【図4】従来の入出力バッファ回路の構成図である。

【図5】従来の入出力バッファ回路の構成図である。

【図6】図4の入出力バッファ回路の入力および出力信号レベルである。

10 【図7】本発明の他の実施例を示す入出力バッファ回路の構成図である。

【図8】本発明の他の実施例を示す入出力バッファ回路の構成図である。

【図9】本発明の他の実施例を示す入出力バッファ回路の構成図である。

【図10】本発明の他の実施例を示す入出力バッファ回路の構成図である。

【図11】本発明の他の実施例を示す出力バッファ回路の構成図である。

20 【図12】本発明の入出力バッファ回路を搭載したマイクロプロセッサ、およびそれを用いた携帯型情報機器である。

【符号の説明】

MP1~8、MP100~103、MP201~20

5 : Pチャネル型MOSFET

MN1~11、MN100~105、MN201~20

5 : Nチャネル型MOSFET

INV1~7、INV100、INV201~209 :
インバータ

30 NA1、NA2、NA201、NA202 : 2入力NA
NDゲート

D1、D2、D201、D202 : ダイオード

DOU_T : 内部回路からの出力

OEN : 出力活性化信号

DIN : 内部回路への入力

PAD : パッド

VCC_H、VCC_M、VCC_L : 電源

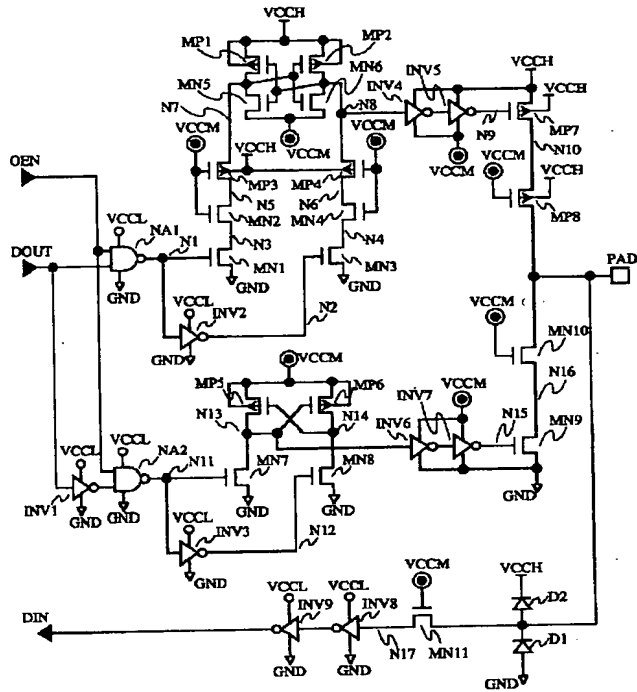
GND : 接地電位

N1~17、N201~N210 : ノード

40 100 : 入出力制御回路

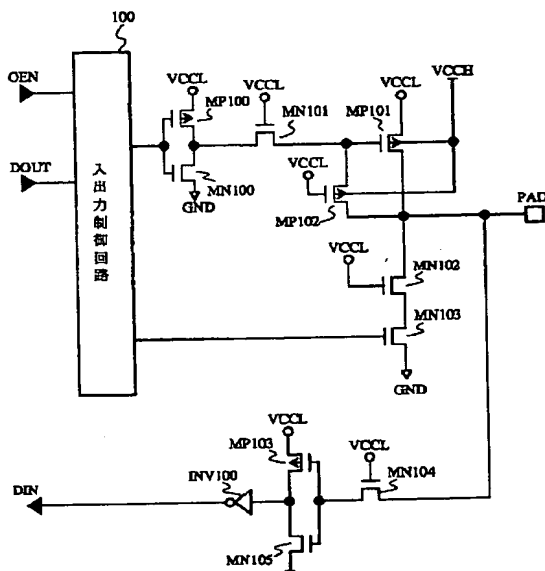
【図 1】

図 1



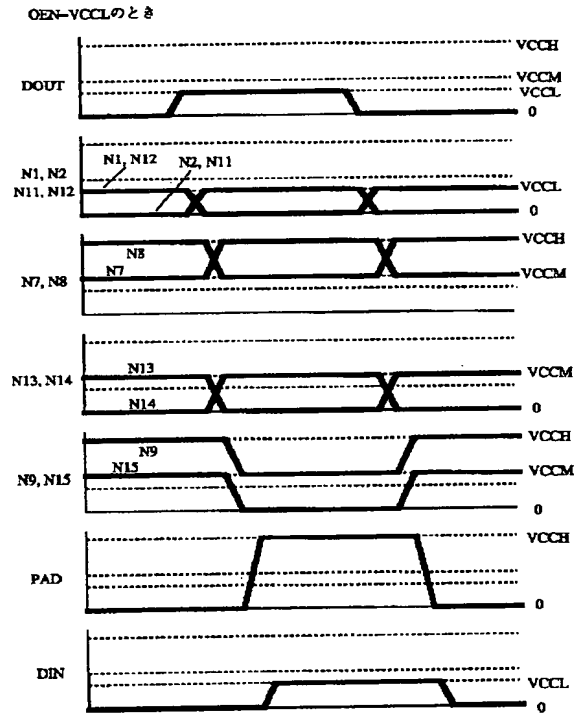
【図 4】

図 4



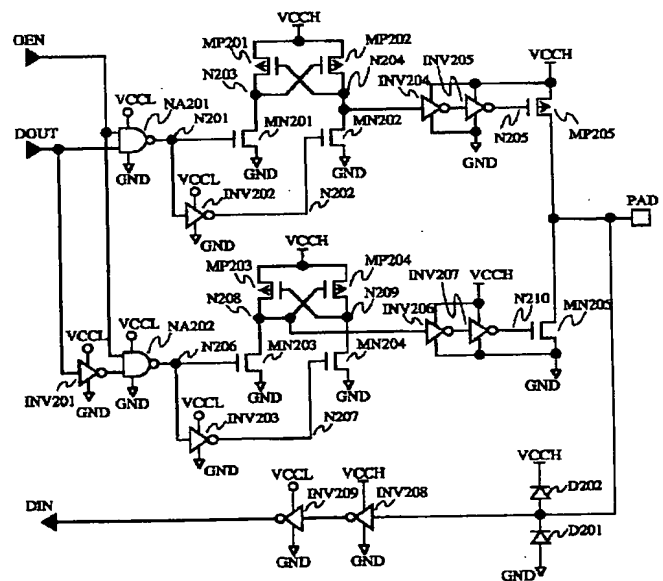
【図 2】

図 2



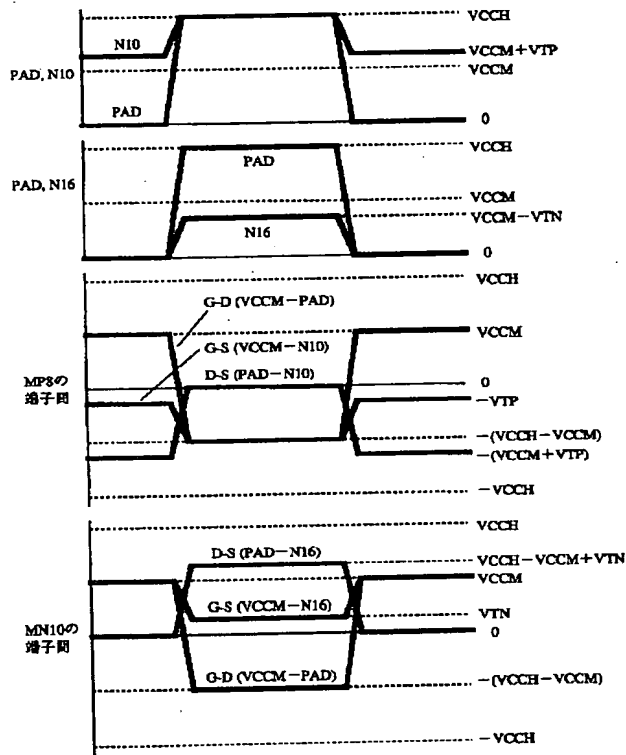
【図 5】

図 5



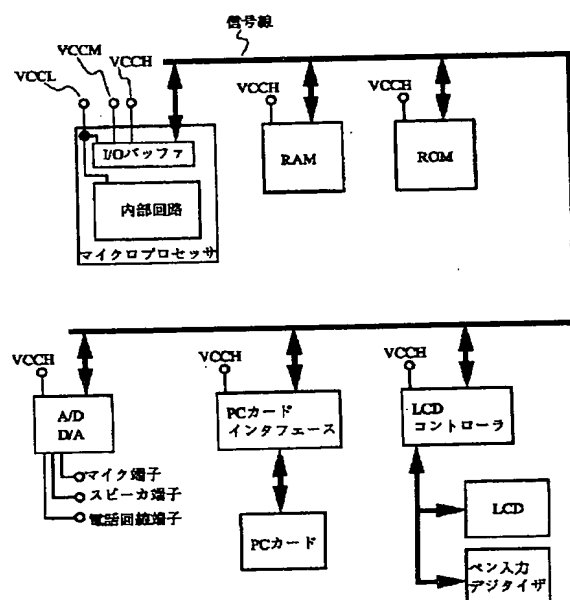
【図 3】

図 3



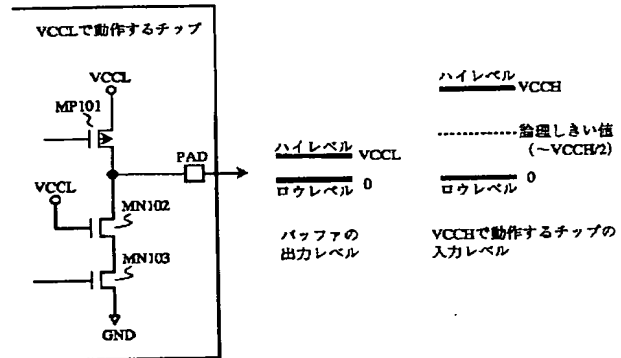
【図 12】

図 12



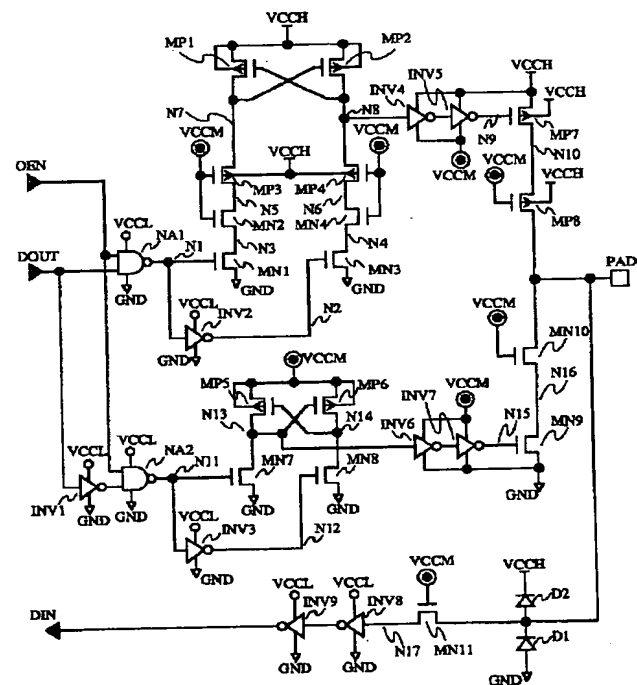
【図 6】

図 6

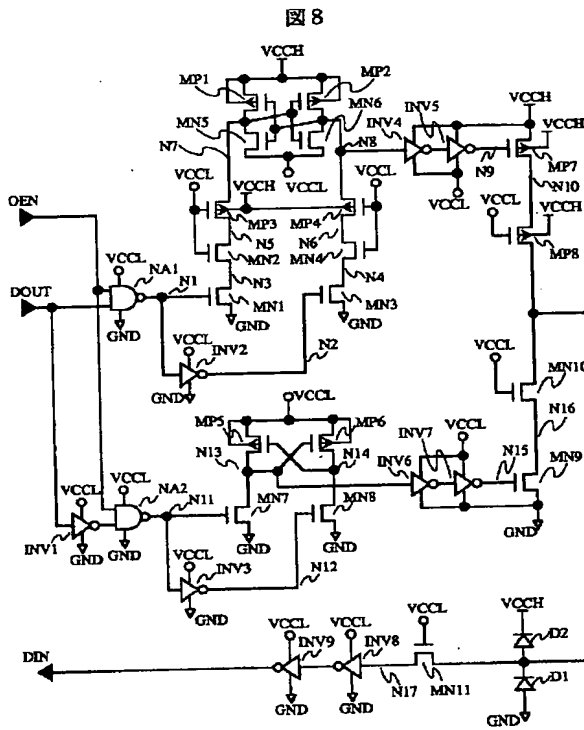


【図 7】

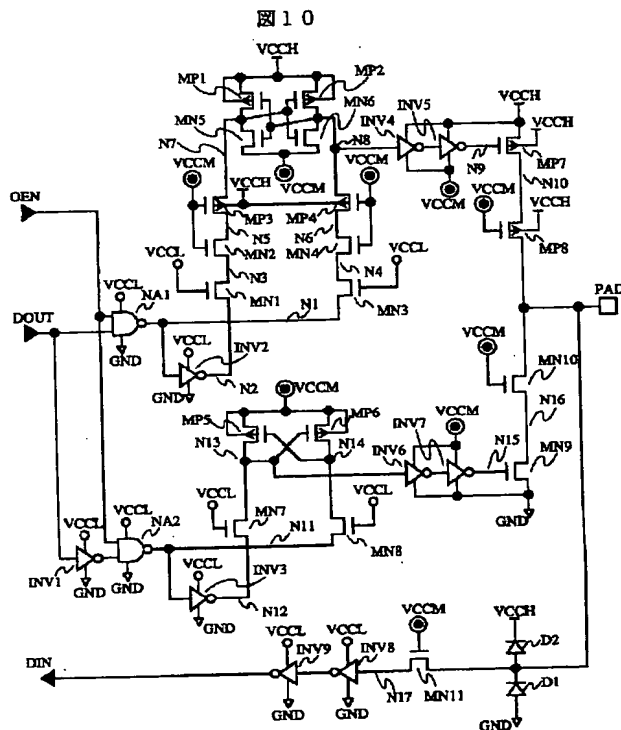
図 7



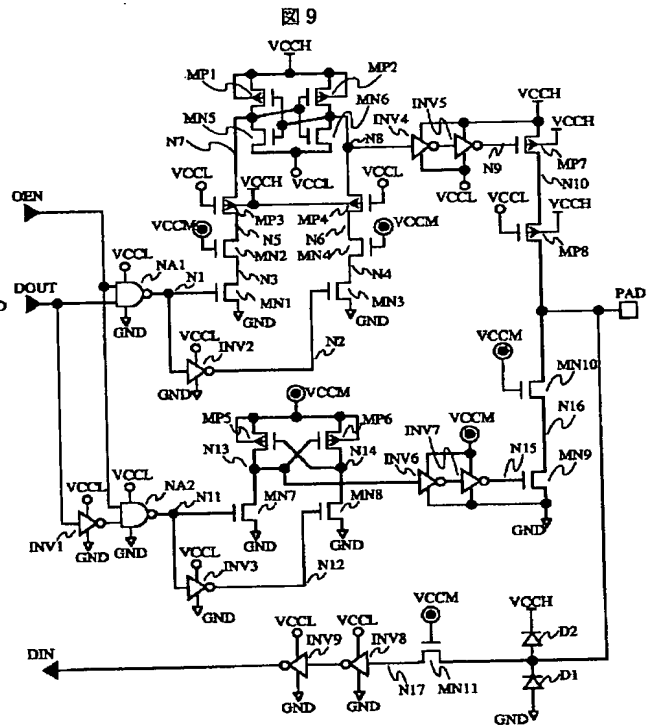
【図 8】



【図 10】



【図 9】



【図 11】

